



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 1月23日

出 願 番 号

Application Number:

特願2002-014765

[ST.10/C]:

[JP2002-014765]

出 願 人

Applicant(s):

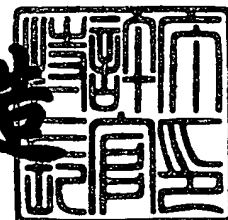
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 2月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3008369

【書類名】 特許願

【整理番号】 J0089198

【提出日】 平成14年 1月23日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 電気光学素子の駆動方法、駆動装置及び電子機器

【請求項の数】 35

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 小島 大輔

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 伊藤 昭彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 67646

【出願日】 平成13年 3月 9日

【先の出願に基づく優先権主張】

【出願番号】 特願2001-294702

【出願日】 平成13年 9月26日

【先の出願に基づく優先権主張】

【出願番号】 特願2001-377794

【出願日】 平成13年12月11日

【代理人】

【識別番号】 100098084

【弁理士】

【氏名又は名称】 川▲崎▼ 研二

【手数料の表示】

【予納台帳番号】 038265

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606536

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学素子の駆動方法、駆動装置及び電子機器

【特許請求の範囲】

【請求項 1】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記階調データに対応する期間を確保するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から、前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項 2】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間は、同一のフレーム期間に含まれる

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 3】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の一部のサブフィールド期間は、連続する 2 つのフレーム期間のうちの一方のフレーム期間に含まれ、他部のサブフィールド期間は、他方のフレーム期間に含まれる

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 4】 前記一部のサブフィールド期間は、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間のうちの一方のサブフィールド期間であり、前記他部のサブフィールド期間は、他方のサブフィールド期

間である

ことを特徴とする請求項 3 記載の電気光学素子の駆動方法。

【請求項 5】 前記駆動ステップは、前記階調データに拘わらず、前記電気光学素子をオンにする期間を前記境界に挿入する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 6】 前記駆動ステップは、前記階調データが零を表すとき、前記電気光学素子をオフにし、それ以外るとき、前記電気光学素子をオンにする期間を前記境界に挿入する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 7】 前記選択ステップで第 2 のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記第 2 のサブフィールド期間のうち少なくとも一つの第 2 のサブフィールド期間を複数の分割期間に分割してオンにする

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 8】 前記駆動ステップで、選択された前記第 2 のサブフィールド期間のうち、前記境界に近い位置にある第 2 のサブフィールド期間を優先的に分割してオンにすることを特徴とする請求項 7 記載の電気光学素子の駆動方法。

【請求項 9】 前記選択ステップで 2 以上の第 2 のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記 2 以上の第 2 のサブフィールド期間であって相互に隣接する第 2 のサブフィールド期間のうち前記境界に近い第 2 のサブフィールド期間を、前記境界に近い第 2 のサブフィールド期間の分割数と同数または以下に分割してオンにすることを特徴とする請求項 8 記載の電気光学素子の駆動方法。

【請求項 10】 前記駆動ステップで、選択された前記第 2 のサブフィールド期間の全てを分割してオンにすることを特徴とする請求項 7 記載の電気光学素子の駆動方法。

【請求項 11】 前記駆動ステップで、前記複数の分割期間のうち少なくとも一つの分割期間は、一の第 1 のサブフィールド期間に相当することを特徴とす

る請求項 7 記載の電気光学素子の駆動方法。

【請求項 1 2】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記 N 個のビットのうちの上位側 M 個のビットは、前記複数の第 2 のサブフィールド期間が表示すべき階調を規定し、

前記 N 個のビットのうちの低位側 ($N - M$) 個のビットは、前記複数の第 1 のサブフィールド期間が表示すべき階調を規定し、

前記 M は、前記フレーム期間が ($2^{N-M} - 1$) 個の第 1 のサブフィールド期間を含むことを想定したときに与えられる M の最適解である

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 1 3】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記各第 2 のサブフィールド期間の長さは、前記 N 個のビットに含まれる上位側 M 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 2 のサブフィールド期間の個数は、前記 M 個のビットにより表される最大の数に相当し、

前記各第 1 のサブフィールド期間の長さは、前記 N 個のビットに含まれる低位側 ($N - M$) 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 1 のサブフィールド期間の個数は、前記 ($N - M$) 個のビットにより表される最大の数に相当する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 1 4】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、

前記複数のフレーム期間を構成する各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィ

ールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第 1 のサブフィールド期間の合計期間の長さ以上の長さを有する、相互に連続する複数の第 2 のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項 1 5】 前記選択ステップは、前記各フレーム期間毎に選択すべき第 1 のサブフィールド期間の個数を、前記階調データのうち前記複数のフレーム期間に含まれる前記複数の第 1 のサブフィールド期間を通じて表示すべき階調を規定する階調データ部分に従って決定する

ことを特徴とする請求項 1 4 記載の電気光学素子の駆動方法。

【請求項 1 6】 前記選択ステップは、前記複数のフレーム期間を通じて表示すべき前記階調と、前記各フレーム期間に前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間のうちの選択すべきサブフィールド期間の位置との対応関係を規定する表に従って、選択する

ことを特徴とする請求項 1 4 記載の電気光学素子の駆動方法。

【請求項 1 7】 前記選択ステップで第 2 のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記第 2 のサブフィールド期間のうち少なくとも一つの第 2 のサブフィールド期間を複数の分割期間に分割してオンにすることを特徴とする請求項 1 4 記載の電気光学素子の駆動方法。

【請求項 1 8】 前記駆動ステップで、選択された前記第 2 のサブフィールド期間のうち、前記境界に近い位置にある第 2 のサブフィールド期間を優先的に分割してオンにすることを特徴とする請求項 1 7 記載の電気光学素子の駆動方法

【請求項 19】 前記選択ステップで 2 以上の第 2 のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記 2 以上の第 2 のサブフィールド期間であって相互に隣接する第 2 のサブフィールド期間のうち前記境界に近い第 2 のサブフィールド期間を、前記境界に近い第 2 のサブフィールド期間の分割数と同数または以下に分割してオンにすることを特徴とする請求項 18 記載の電気光学素子の駆動方法。

【請求項 20】 前記駆動ステップで、選択された前記第 2 のサブフィールド期間の全てを分割してオンにすることを特徴とする請求項 17 記載の電気光学素子の駆動方法。

【請求項 21】 前記駆動ステップで、前記複数の分割期間のうち少なくとも一つの分割期間は、一の第 1 のサブフィールド期間に相当することを特徴とする請求項 17 記載の電気光学素子の駆動方法。

【請求項 22】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記 N 個のビットのうちの上位側 M 個のビットは、前記複数の第 2 のサブフィールド期間が表示すべき階調を規定し、

前記 N 個のビットのうちの下位側 (N-M) 個のビットは、前記複数の第 1 のサブフィールド期間が表示すべき階調を規定し、

前記 M は、前記フレーム期間が $(2^{N-M} - 1) / F$ 個 (F は、前記複数のフレームの数を表す) の第 1 のサブフィールド期間を含むことを想定したときに与えられる M の最適解である

ことを特徴とする請求項 14 記載の電気光学素子の駆動方法。

【請求項 23】 前記 $(2^{N-M} - 1) / F$ が余りを生じるときには、前記第 1 のサブフィールド期間の数として、前記 $(2^{N-M} - 1) / F$ の商の整数部分に 1 を加算した数を用いる

ことを特徴とする請求項 22 記載の電気光学素子の駆動方法。

【請求項 24】 フレーム期間を単位として電気光学素子に階調を表示させ

る電気光学素子の駆動方法であって、

前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、

前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための1以上の第2のサブフィールド期間であって、一の期間が前記複数の第1のサブフィールド期間の合計期間以上長く設定された第2のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択ステップと、

選択された第1および第2のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項25】 前記選択ステップで第2のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記第2のサブフィールド期間のうち少なくとも一つの第2のサブフィールド期間を複数の分割期間に分割してオンにすることを特徴とする請求項24記載の電気光学素子の駆動方法。

【請求項26】 前記駆動ステップで、選択された前記第2のサブフィールド期間のうち、前記境界に近い位置にある第2のサブフィールド期間を優先的に分割してオンにすることを特徴とする請求項25記載の電気光学素子の駆動方法。

【請求項27】 前記選択ステップで2以上の第2のサブフィールド期間を選択したとき、

前記駆動ステップで、選択された前記2以上の第2のサブフィールド期間であって相互に隣接する第2のサブフィールド期間のうち前記境界に近い第2のサブフィールド期間を、前記境界に近い第2のサブフィールド期間の分割数と同数ま

たは以下に分割してオンにすることを特徴とする請求項 26 記載の電気光学素子の駆動方法。

【請求項 28】 前記駆動ステップで、選択された前記第 2 のサブフィールド期間の全てを分割してオンにすることを特徴とする請求項 24 記載の電気光学素子の駆動方法。

【請求項 29】 前記駆動ステップで、前記複数の分割期間のうち少なくとも一つの分割期間は、一の第 1 のサブフィールド期間に相当することを特徴とする請求項 24 記載の電気光学素子の駆動方法。

【請求項 30】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、

前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び一の第 1 のサブフィールド期間の合計期間の長さを実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項 31】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、

各フレーム期間に含まれる、前記階調データに対応する期間を特定するために

用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間の合計期間の長さ以上の長さを有する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項32】 フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動装置であって、

前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、

前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための1以上の第2のサブフィールド期間であって、一の期間が前記複数の第1のサブフィールド期間の合計期間以上長く設定された第2のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択回路と、

選択された第1および第2のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項33】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 3 0 記載の電気光学素子の駆動装置と
を備えることを特徴とする電子機器。

【請求項 3 4】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 3 1 記載の電気光学素子の駆動装置と
を備えることを特徴とする電子機器。

【請求項 3 5】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 3 2 記載の電気光学素子の駆動装置と
を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、パルス幅変調を用いて、電気光学素子である画素を駆動する画素の駆動方法、駆動装置及び電子機器に関する。

【0 0 0 2】

【従来の技術】

従来、マトリクス状に配置された複数の画素を、該画素を選択するための走査信号及び前記画素が表示すべき階調を規定するためのデータ信号を用いて駆動するという画素の駆動方法が用いられている。該画素の駆動方法のうち、表示画像の画質を向上させる等のために、1 フレーム内に設けられている複数の期間（以下、「サブフィールド」という。）の各期間に、前記データ信号の印加を全ての画素について行うというサブフィールド駆動が提案されている。

【0 0 0 3】

該サブフィールド駆動によれば、前記各サブフィールドで、各画素に前記データ信号としてオン（例えば、黒）を表すための電圧（例えば、ハイパルス）又はオフ（例えば、白）を表すための電圧（ローパルス）のうちのいずれかを印加し、これにより、1 フレーム内で各画素に前記データ信号によりパルス幅変調を施し、その結果として、前記画素に、例えば 6 4 階調のうちの一つの階調を表示さ

せることができる。

【0004】

【発明が解決しようとする課題】

しかしながら、従来の 2^N 階調で N 個のサブフィールドで駆動するような場合、前記フレームに含まれる前記複数のサブフィールドの中から、前記オンの電圧を印加すべきサブフィールドが何ら規則性無く選択されることから、例えば、本来同一階調を表示しなければならないにも拘わらず、選択された前記サブフィールド同士的位置関係の無規則性に起因して、異なる階調を表示するという問題があった。

【0005】

また、 2^N 階調で $(2^N - 1)$ 個のサブフィールドで駆動するような場合、サブフィールド数が多く、1フレーム期間に画素に電圧を書き込む回数が増加し、消費電力が増える。

さらに、階調の数を増加させること、即ち、多階調化に伴い各サブフィールドの長さをより短くしなければならないことから、前記データ信号の印加を時間的な制約の下に行わなければならない、前記データ信号の印加を高精度に制御することが困難であるという問題もあった。

【0006】

上記問題を解決するために、本発明の目的は、不規則に選択されるサブフィールドの位置に起因する階調の相違を回避することができる画素の駆動方法、駆動回路及び電子機器を提供することにある。

【0007】

【課題を解決するための手段】

本発明に係る電気光学素子の駆動方法は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記階調データに対応する期間を確保するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数の第1のサブフィールド期間及び一の

第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップとを含むことを特徴とする。

【0008】

本発明に係る他の電気光学素子の駆動方法は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記複数のフレーム期間を構成する各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての前記複数の第1のサブフィールド期間の合計期間の長さ以上の長さを有する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと、を含むことを特徴とする。

【0009】

本発明に係る他の電気光学素子の駆動方法は、フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動方法であって、前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される

値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための 1 以上の第 2 のサブフィールド期間であって、一の期間が前記複数の第 1 のサブフィールド期間の合計期間以上長く設定された第 2 のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択ステップと、選択された第 1 および第 2 のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動ステップとを含むことを特徴とする。

【 0 0 1 0 】

本発明に係る電気光学素子の駆動装置は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路とを含むことを特徴とする。

【 0 0 1 1 】

本発明に係る他の電気光学素子の駆動装置は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフ

ルド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間の合計期間の長さ以上の長さを有する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と、を含むことを特徴とする。

【 0 0 1 2 】

本発明に係る電気光学素子の駆動装置は、フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動装置であって、前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための1以上の第2のサブフィールド期間であって、一の期間が前記複数の第1のサブフィールド期間の合計期間以上長く設定された第2のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択回路と、選択された第1および第2のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動回路とを含むことを特徴とする。

【 0 0 1 3 】

本発明に係る電子機器は、マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、上記電気光学素子の駆動装置のいずれかとを備えることを特徴とする。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

〔第 1 の実施の形態〕

本発明に係る画素の駆動方法であるサブフィールド駆動方法を用いた電気光学装置について説明する。

図 1 は、第 1 の実施の形態の電気光学装置の構成を示す。該電気光学装置は、素子基板及び対向基板間に複数の画素をマトリクス状に備えており、1 フレーム、即ち 1 フレームの期間に、行方向 (X) に並ぶ所定数の画素を同時に選択することを垂直方向に順次行う、即ち、線順次を行うと共に、階調を規定するための信号、即ち、0 又は $\pm V$ を画素に印加することにより、各画素に前記階調を表示させる。より詳しくは、前記電気光学装置は、例えば、一の行に配列された所定数の画素を、1 フレームを構成する複数のサブフィールドの各サブフィールド毎に選択する。いずれのサブフィールドで前記画素に電圧を印加するかにより、1 フレーム内で前記画素にパルス幅変調を施す。これにより、前記画素に印加する電圧実効値を変え、前記画素に 1 フレーム間に階調を表示させることができる。

以下、 $\pm V$ を印加することを“オン”といい、0 を印加することを“オフ”という。なお、液晶は交流駆動を必要とすることから、 $+V$ の印加と $-V$ の印加とは、階調の観点からは実質的に同義である。

【0 0 1 5】

図 1 0 は、サブフィールドを示す。1 フレーム (1 F) は、図 1 0 に示されるように、サブフィールド S F 1 ~ S F 7 から構成されている。サブフィールド S F 1 ~ S F 3 の長さの重み付けは小さく設定されており、他方、サブフィールド S F 5 ~ S F 7 の長さの重み付けは、大きく設定されている。例えば、電気光学装置に供給される、画素が表示すべき階調を規定する階調データが 4 ビットにより 1 6 階調を定めることを想定すると、サブフィールド S F 1 ~ S F 3 の長さは、「1」階調に相当し、他方、サブフィールド S F 5 ~ S F 7 の長さは、「4」階調に相当する。即ち、サブフィールド S F 5 ~ S F 7 の長さは、3 つのサブフィールド S F 1 ~ S F 3 の合計の長さ、これらのうちの 1 つのサブフィールドの長さ、とを合計した長さに実質的に相当する。液晶の駆動に関する閾値電圧 V_t

hを与えるために、前記サブフィールドSF1～SF3及び前記サブフィールドSF5～SF7の間の設けられているサブフィールドSF4を、階調に拘らず常時オン状態にする。

【0016】

サブフィールドSF5～SF7（における画素）のオン／オフ状態は、上記4ビットの階調データの上位2ビットにより定める。換言すれば、サブフィールドSF5～SF7は、前記上位2ビットに従って、サブフィールドSF5からサブフィールドSF7の方向に沿って順次選択される。例えば、上位2ビットが“00”のときは、サブフィールドSF5～SF7の全てをオフ状態にし、“01”のときは、サブフィールドSF5のみをオン状態にし、“10”のときは、サブフィールドSF5及びSF6をオン状態にし、“11”のときは、サブフィールドSF5～SF7の全てをオン状態にする。

【0017】

サブフィールドSF1～SF3のオン／オフ状態は、上記4ビットの階調データの下位2ビットにより定める。換言すれば、サブフィールドSF1～SF3は、前記下位2ビットに従って、サブフィールドSF3からサブフィールドSF1の方向に沿って順次選択される。例えば、下位2ビットが“00”のときは、サブフィールドSF1～SF3の全てをオフ状態にし、“01”のときは、サブフィールドSF3のみをオン状態にし、“10”のときは、サブフィールドSF2及びSF3をオン状態にし、“11”のときは、サブフィールドSF1～SF3の全てをオン状態にする。

【0018】

サブフィールドSF5～SF7及びサブフィールドSF1～SF3のオン／オフ常態についてより詳述すれば、例えば、階調データが「9」階調を規定する“1001”であるとき、図10に示されるように、サブフィールドSF5及びSF6をオン状態にし、かつサブフィールドSF3をオン状態にする。また、例えば、階調データが「14」階調を規定する“1110”であるとき、図10に示されるように、サブフィールドSF5～7の全てをオン状態にし、かつサブフィールドSF2及びSF3をオン状態にする。

【 0 0 1 9 】

ここで、2のN乗（Nは、2以上の整数）の階調数の階調を規定するNビットの階調データを上位Mビット（Mは、Nより小さい正の整数）と下位（N-M）ビットとに分けることを想定すると、前記下位（N-M）ビットに対応する複数の第1のサブフィールドの個数、及び前記上位Mビットに対応する複数の前記第2のサブフィールドの個数は、それぞれ、 $(2^{N-M}-1)$ 個、 (2^M-1) 個であり、さらに、前記第1のサブフィールドの重み付けが α であることを想定すると、前記第2のサブフィールドの重み付けは、 $\alpha 2^{N-M}$ になる。

【 0 0 2 0 】

上記したように、前記階調データに応じて、相互に連続する複数のサブフィールド（SF5～SF7）と、相互に連続する複数のサブフィールド（SF1～SF3）とを、実質的に相互に隣接するサブフィールドSF5及びSF3間の境界（基準点）から、換言すれば、サブフィールドSF4（の後端）から、サブフィールドSF1またはサブフィールドSF7の方向に順番に選択する。すなわち、上記サブフィールドSF1～SF3、サブフィールドSF5～SF7を、フレーム期間の中央から外側へ順次選択する。したがって、階調データの値に拘わらず、オン状態にすべきサブフィールドを連続的に選択することができ、これにより、サブフィールドの非連続性に起因する階調の不具合の発生を回避することが可能になる。

【 0 0 2 1 】

また、上位ビットのサブフィールドと下位ビットのサブフィールドとの境界に常時オンとすべきサブフィールドSF4を設けることにより、上記の連続性を維持した上で、液晶の特性に応じた電圧実効値を液晶に印加することができることから、階調制御を的確に行なうことができる。

【 0 0 2 2 】

図1に戻り、電気光学装置は、図1に示されるように、表示部101aと、発振回路150と、タイミング信号生成回路200と、データ変換回路300と、走査線駆動回路130と、データ線駆動回路140とを含む。

【 0 0 2 3 】

表示部 1 0 1 a には、前記複数の画素 1 1 0 が m 行 \times n 列に配置されており、該複数の画素 1 1 0 を選択するための走査線 1 1 2 が X (行) 方向に延在して形成され、他方、前記複数の画素 1 1 0 に前記階調を規定するデータ信号を供給するためのデータ線 1 1 4 が Y (列) 方向に延在して形成されている。

【 0 0 2 4 】

タイミング信号生成回路 2 0 0 には、上位装置 (図示せず) から供給される垂直同期信号 V_s 、水平同期信号 H_s および入力階調データ $D_0 \sim D_3$ のドットクロック信号 $DCLK$ 、並びに発振回路 1 5 0 から供給される読み出しタイミングの基本クロック $RCLK$ に基づき、図 1 に示されるような信号 $LCOM$ 、 FR 、 DY 、 CLY 、 LP 、及び CLX を生成する。

【 0 0 2 5 】

駆動信号 $LCOM$ は、前記複数の画素 1 1 0 を駆動するために対向基板の対向電極に印加される一定電位 (零電位) である。交流化信号 FR は、1 フレーム毎に、液晶への印加電圧を極性反転するタイミングを指し示す。スタートパルス DY は、各サブフィールド $SF_1 \sim SF_7$ の位置を指し示す。クロック信号 CLY は、走査側 (Y 側) の水平走査期間を規定するために用いられる。ラッチパルス LP は、水平走査期間 (1 H) を規定する。クロック信号 CLX は、表示用のドットクロック信号である。

【 0 0 2 6 】

データ変換回路 3 0 0 は、4 ビットで 1 6 階調を規定する階調データ $D_0 \sim D_3$ を供給される。ここで、例えば、 D_3 は、最上位ビットであり、他方、 D_0 は、最下位ビットである。データ変換回路 3 0 0 は、前記階調データ $D_0 \sim D_3$ に基づきデータ信号 D_s を生成し、該データ信号 D_s をデータ線駆動回路 1 4 0 に出力する。

【 0 0 2 7 】

走査線駆動回路 1 3 0 は、前記表示部 1 0 1 a に含まれる m 本の走査線 1 1 2 に、前記タイミング信号生成回路 2 0 0 から出力される信号 DY 及び CLY に基づき、走査信号 G_1 、 G_2 、 G_3 、 \dots 、 G_m をそれぞれ供給して、水平走査期間 1 H の期間に前記 m 本の走査線 1 1 2 のそれぞれを複数回選択し、より具体的に

は、1フレームが図10に示す7個のサブフィールドから構成されているときには、1フレーム内で各走査線112を7回選択する。データ線駆動回路140は、選択された走査線112に係る1行分の画素110に、前記タイミング信号生成回路200から出力される信号FR、LP及びCLX、並びに前記データ変換回路300から出力されるデータ信号Dsに基づき、データ信号d1、d2、d3、…、dnを、n本のデータ線114を介してそれぞれ供給する。

【0028】

図2(a)は、表示部に設けられている画素の構成を示す。図に示されるように、薄膜トランジスタ(TFT)116のゲート、ソース及びドレインが前記走査線112、前記データ線114、及び画素電極118にそれぞれ接続されており、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されている。画素電極118と対向電極108との間には電荷を保持するための蓄積容量119が形成されている。

【0029】

画素電極118への印加電圧及びデータ線114への印加電圧の間のオフセット電圧を軽減するためには、図2(a)に示された構成の画素より、図2(b)に示された、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成の画素が望ましい。図2(a)に示すように、一方のチャネル型のトランジスタが用いられている場合は、オフセット電圧が必要になる。

【0030】

図3(a)、(b)は、電気光学装置の構造を示す。該電気光学装置100は、図1に示された構成要素に加えて、例えば、シール材104、遮光膜106、偏向板、配向膜及びカラーフィルタを備えている。

【0031】

図4は、データ線駆動回路の構成を示す。図1に示したデータ線駆動回路140は、図4に示されるように、Xシフトレジスタ1402と、第1のラッチ回路1404と、第2のラッチ回路1406と、電位選択回路1408とから構成されている。

Xシフトレジスタ1402は、タイミング信号生成回路200から供給される

ラッチパルスLPを、前記タイミング信号生成回路200から供給されるクロック信号CLXに従ってラッチ信号S1、S2、S3、…、Snとして第1のラッチ回路1404に順次供給する。

【0032】

第1のラッチ回路1404は、データ変換回路300から出力される前記データ信号Dsを、前記ラッチ信号S1、S2、S3、…、Snの立ち下がりで順次ラッチする。第2のラッチ回路1406は、第1のラッチ回路1404によりラッチされた前記データ信号Dsを前記ラッチパルスLPの立ち下がりで一斉にラッチし、電位選択回路1408に転送する。

【0033】

電位選択回路1408は、タイミング信号生成回路200から出力される前記交流化信号FRに基づき、前記ラッチしたデータ信号Dsをデータ信号d1、d2、d3、…dnに変換し、データ線114に印加する。すなわち、交流化信号FRがLレベルであるときは、データ信号d1、d2、d3、…、dnのHレベルを+V1に変換し、他方、交流化信号FRがHレベルであるときには、データ信号d1、d2、d3、…dnのHレベルを-V1に変換する。交流化信号FRがLであるかHであるかに拘わらず、データ信号d1、d2、d3、…、dnのLレベルを0電位に変換する。

【0034】

図5は、スタートパルス発生回路の構成を示し、また、図6は、スタートパルス発生回路の動作を示すタイムチャートである。スタートパルス発生回路210は、図1に示したタイミング信号生成回路200に設けられており、スタートパルスDYを生成する。

【0035】

スタートパルス発生回路210は、図5に示されるように、カウンタ211、コンパレータ212、マルチプレクサ213、リングカウンタ214、Dフリップフロップ215、およびオア回路216から構成されている。

カウンタ211は、クロック信号CLYに同期するラインクロック信号LCLKをカウントし、そのカウント値は、オア回路216の出力信号によってリセッ

トされる。

【0036】

リングカウンタ214は、スタートパルスDYの数をカウントし、マルチプレクサ213は、リングカウンタ214のカウント結果S214に基づいて、サブフィールドSF1～SF7の時間を示す計数データDc1、Dc2、…、Dc7を選択出力する。

コンパレータ212は、カウンタ211のカウント値S211とマルチプレクサ213の出力データ値S213とを比較し、両者が一致するとき、Hレベルである一致信号S212を出力する。コンパレータ212は、カウンタ211のカウント値S211が、サブフィールドの区切りに達すると一致信号S212を出力する。該一致信号は、オア回路216を介してカウンタ211のリセット端子にフィードバックされることから、カウンタ211は、サブフィールドの区切りから再びカウントを開始する。

【0037】

Dフリップフロップ215は、オア回路216の出力信号を、ラインクロック信号LCLKによってラッチして、スタートパルスDYを生成する。

オア回路216の一方の入力端には、フレームの開始時に、ラインクロック信号LCLKの1周期の期間だけHレベルとなるリセット信号RESETが供給される。これにより、カウンタ211のカウント値は、フレームの開始時点にリセットされる。

【0038】

一致信号S212が立ち上がると、まず、ラインクロック信号LCLKの立ち上がりタイミングで、スタートパルスDYが立ち上がる。一方、前記ラインクロック信号LCLKの立上りによって、カウント値S211と出力データ値S213とが一致しなくなることから、一致信号S212は、Lレベルになる。従って、次にラインクロック信号LCLKが立ち上がったときに、該Lレベルである一致信号S212がDフリップフロップ215にラッチされることから、スタートパルスDYがLレベルになる。このようにして、各サブフィールドの最初にスタートパルスDYが出力される。

【0039】

図7は、データ変換回路の構成を示す。図1に示したデータ変換回路300は、書き込みアドレス制御部310、デコーダ312、複数のメモリブロック321～327、表示アドレス制御部330、及びオア回路332を含む。

デコーダ312は、階調データD0～D3が入力されると、前記階調データD0～D3を各サブフィールドSF1～SF3、SF5～SF7のオン／オフ状態に対応するビットデータであるサブフィールドデータSD1～SD3、SD5～SD7に変換する。メモリブロック321～327は、各々サブフィールドデータSD1～SD3、SD5～SD7を記憶するために設けられており、素子基板101の表示領域（m行×n列）に対応して各々m×nビットのメモリ空間を有する。メモリブロック321～327は、書き込みおよび読み出し動作を非同期に、かつ独立して実行する。

【0040】

書き込みアドレス制御部310は、垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号DCLKに同期して、ライトイネーブル信号WEおよび書き込みアドレスWADを各メモリブロックに供給する。すなわち、書き込みアドレス制御部310は、ドットクロック信号DCLKをカウントアップし、このカウント結果を書き込みアドレスWADとして出力するとともに、書き込みアドレスWADの値が確定する毎にライトイネーブル信号WEを出力する。また、書き込みアドレス制御部310のカウント結果は、垂直同期信号Vsが入力される毎にリセットされる。これにより、各メモリブロック321～327には、そのm×nビットのメモリ空間を順次アクセスする書き込みアドレスWADが供給され、サブフィールドデータSD1～SD3、SD5～SD7は対応するメモリブロック内の表示位置に応じたアドレスに順次格納される。

【0041】

表示アドレス制御部330は、上記各サブフィールド期間が開始されると、対応する表示行のビットデータをアクセスするアドレス信号RADを出力する。アドレス信号RADは、クロック信号CLXに同期し表示列数に応じて「n-1」回インクリメントされる。これにより、対応する表示行に対して第1列～第n列

のビットを順次アクセスするようなアドレス信号RADが出力される。

【0042】

読出し信号RD1～3、RD5～7は、各々対応するサブフィールドSF1～SF3、SF5～SF7の期間中は常にイネーブル状態になり、それ以外のサブフィールド期間においてはオフ状態にされる。これにより、各サブフィールドSF1～SF3、SF5～SF7で、対応する一つのメモリブロックのみが読出し可能な状態になり、他のメモリブロックは読出し禁止状態になる。これにより、サブフィールドSF1が開始されると、メモリブロック321から、m行×n列のサブフィールドデータSD1が順次読み出される。

【0043】

サブフィールドSF2、SF3においても、同様にメモリブロック322、323がアクセスされ、各々m行×n列のサブフィールドデータSD2、SD3が順次読み出される。次に、サブフィールドSF4においては、オン信号S_{on}がHレベルに保持される。なお、オン信号S_{on}は、サブフィールドSF4以外の期間においてはLレベルに保持される。次に、サブフィールドSF5～SF7においても、同様にメモリブロック325～327がアクセスされ、各々m行×n列のサブフィールドデータSD5～SD7が順次読み出される。オア回路332は、これらサブフィールドデータSD1～SD3、SD5～SD7およびオン信号S_{on}の論理和をデータ信号Dsとして出力する。

【0044】

図8は、デコーダが用いる真理値表を示す。デコーダ312が用いる該真理値表は、階調データと、サブフィールドSF1～SF3、SF5～SF7のオン／オフを規定する、サブフィールドデータ（SD1～SD3、SD5～SD7）中の1または0との対応関係を示す。例えば、「5」階調（0101）を表すためには、サブフィールドデータSD3及びSD5が1であることから、サブフィールドSF3及びSF5をオン状態にする。

【0045】

図9は、第1の実施の形態の信号の波形を示す。交流化信号FRがLレベルとなる1フレーム（1F）において、スタートパルスDYが供給されると、走査線

駆動回路130によるクロック信号CLYに従う転送によって、走査信号G1、G2、G3、…、Gmが期間(t)に順次排他的に出力される。期間(t)は、最も短いサブフィールドSF1よりもさらに短い期間に設定されている。

【0046】

走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、スタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給される。

【0047】

まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが、水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有する。

【0048】

図4における第1のラッチ回路1404は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチする。

【0049】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的

にラッチされる。なお、データ変換回路 3 0 0 は、第 1 のラッチ回路 1 4 0 4 によるラッチのタイミングに合わせて、各画素の階調データ $D_0 \sim D_3$ をデータ信号 D_s に変換して出力する。

【 0 0 5 0 】

次に、クロック信号 CLY が立ち下がり、走査信号 G_1 が出力されると、図 1 において上から数えて 1 本目の走査線 1 1 2 が選択される結果、当該走査線 1 1 2 との交差に対応する画素 1 1 0 のトランジスタ 1 1 6 がすべてオンとなる。一方、当該クロック信号 CLY の立ち下がりによってラッチパルス LP が出力される。そして、このラッチパルス LP の立ち下がりタイミングにおいて、第 2 のラッチ回路 1 4 0 6 は、第 1 のラッチ回路 1 4 0 4 によって点順次的にラッチされたデータ信号 D_s を、電位選択回路 1 4 0 8 を介して、対応するデータ線 1 1 4 の各々にデータ信号 d_1 、 d_2 、 d_3 、 \dots 、 d_n として一斉に供給する。このため、上から数えて 1 行目の画素 1 1 0 においては、データ信号 d_1 、 d_2 、 d_3 、 \dots 、 d_n の書込が同時に行われる。

【 0 0 5 1 】

この書込と並行して、図 1 において上から 2 本目の走査線 1 1 2 との交差に対応する画素 1 行分のデータ信号 D_s が、第 1 のラッチ回路 1 4 0 4 により点順次的にラッチされる。そして、以降同様な動作が、 m 本目の走査線 1 1 2 に対応する走査信号 G_m が出力されるまで繰り返される。すなわち、ある走査信号 G_i (i は、 $1 < i < m$ を満たす整数) が出力される 1 水平走査期間 (1 H) においては、 i 本目の走査線 1 1 2 に対応する画素 1 1 0 の 1 行分に対するデータ信号 d_1 、 d_2 、 d_3 、 \dots 、 d_n の書込と、 $(i + 1)$ 本目の走査線 1 1 2 に対応する画素 1 1 0 の 1 行分に対するデータ信号 D_s の点順次的なラッチとが並行して行われる。なお、画素 1 1 0 に書き込まれたデータ信号は、次のサブフィールド SF_2 における書込まで保持される。

【 0 0 5 2 】

以下同様な動作が、サブフィールドの開始を規定するスタートパルス DY が供給される毎に繰り返される。さらに、1 フレーム経過後、交流化信号 FR が H レベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返

される。

【 0 0 5 3 】

[第 1 の実施の形態の応用]

上述した第 1 の実施の形態では、各サブフィールドの開始時においてオンを指示する電圧 $+V_1$ または $-V_1$ のデータ信号を、トランジスタ 116 のオンにより画素電極 118 に印加（オン画素書込）しても、画素電極 118 と対向電極 108 との間に液晶 105 を挟持したことによる一種の容量性のために、当該画素電極 118 の電圧は、実際には、直ちに当該データ信号の電圧とはならない。しかも、各サブフィールドにおけるトランジスタ 116 のオン期間は、1 フレームにおいて垂直走査を 1 回する通常の駆動と比較して、極めて短い。このため、オンさせるべき画素の画素電極 118 における電圧は、1 回の書込動作では、 $+V_1$ または $-V_1$ に達しない状態となる可能性が高い。換言すれば、1 フレームにおけるオン画素書込の回数が多くなるにつれて、画素電極 118 の電圧は、 $+V_1$ または $-V_1$ に近づくことが想定される。

このため、画素の階調は、理想的には、1 フレームにおいてオンするサブフィールドの総期間だけに依存すべきであるが、実際には、1 フレーム当たりにおけるオン画素書込の回数にも依存する傾向が強い。

【 0 0 5 4 】

しかしながら、第 1 の実施の形態において、1 フレームにおけるオン画素書込の回数は、図 10 において、各サブフィールドの開始期間において縦太線にて示されるように、階調 0、1、2、3 では、それぞれ 1 回、2 回、3 回、4 回であって、階調にしたがって順番に 1 回ずつ増加するのに対し、階調 3 よりも 1 レベル高い階調 4 では 2 回になって、逆に 2 回分減少に転じ、その後、階調 5、6、7 では、再び階調にしたがって順番に 1 回ずつ増加する。同様に、階調 7 では 5 回であるのに対して階調 8 では 3 回になり、階調 11 では 6 回であるのに対して階調 12 では 4 回になり、それぞれ 2 回分減少してしまう。

すなわち、第 1 の実施の形態では、1 フレーム当たりにおけるオン画素書込の回数は、階調に応じて一様に増加する訳ではない。

【 0 0 5 5 】

このため、第1の実施の形態において、画素に対して指示した階調（指示階調）と、実際の画素による階調（透過率または反射率）とは、図13（a）に示されるように、部分的に平坦に近い部分を有する階段状となってしまう場合がある。詳細には、指示階調3、4とでは、透過率または反射率にほとんど差がなくなる現象が発生する。同様な現象は、指示階調7、8同士と、指示階調11、12同士とでも発生する。そして、このような現象は、指示した階調と実際の階調とに差を生じさせるので、表示装置としての階調再現特性を低下させてしまう。

【0056】

このような階調再現特性の低下を防止するため、本応用例では、各画素のオンオフ期間を規定するサブフィールドの設定を次のように改善する。

すなわち、階調データを上位ビットおよび下位ビットに分割したときに、当該上位ビットの最下位ビットの重みに相当する期間長を有するとともに、当該上位ビットにより表現可能な最大値に相当する個数の第2のサブフィールドを2以上に分割して、分割したサブフィールドでは、同一内容の書込動作を実行するように改善した。

【0057】

このような応用例を、4ビットの階調データを下位2ビットおよび上位2ビットに分割した上記第1の実施の形態に適用すると、図11に示されるように、サブフィールドSF1～SF3の期間長を「1」としたときに「4」の期間長を有するサブフィールドSF5を、例えば「1」および「3」の期間長を有するサブフィールドSF5aおよびSF5bに2分割するとともに、分割したサブフィールドでは、同一内容の書込動作を実行する。同様に、サブフィールドSF6とSF7との各々についても、サブフィールドSF6a、SF6bと、SF7a、SF7bとにそれぞれ分割するとともに、分割したサブフィールドでは、同一内容の書込動作を実行する。

【0058】

このようにサブフィールドを設定すると、1フレームにおけるオン画素書込の回数は、例えば、階調3よりも1レベル高い階調4では3回になって、減少分が1回で済む。同様に、階調7では6回であるのに対して階調8では5回になり、

また、階調 1 1 では 8 回であるのに対して階調 1 2 では 7 回になり、それぞれ 1 回分の減少で収まる。

したがって、この応用例では、実際の階調における書込回数の依存性（実際の階調が、1 フレームにおいてオンするサブフィールドの総期間のみならず、オン画素書込の回数にも依存してしまう性質）を少なくすることができる。

この結果、指示階調と、実際の画素による階調とは、図 1 3 (b) に示されるように、部分的な平坦であった部分が解消されて、階調再現特性の低下を防止することが可能となる。

【 0 0 5 9 】

ここで、サブフィールドの分割は、スタートパルス発生回路 2 1 0 を、図 1 2 に示されるような構成として、分割したサブフィールドの期間の開始時に、上述したスタートパルス D Y をそれぞれ出力する構成によって容易に達成される。

すなわち、マルチプレクサ 2 1 3 に、図 5 の計数データ D c 5、D c 6、D c 7 に換えて、サブフィールド S F 5 a、S F 5 b、S F 6 a、S F 6 b、S F 7 a、S F 7 b の各時間を示す計数データ D C 5 a、D c 5 b、D c 6 a、D c 6 b、D c 7 a、D C 7 b を供給して、コンパレータ 2 1 2 が、カウンタ 2 1 1 のカウント値 S 2 1 1 とマルチプレクサ 2 1 3 の出力データ値 S 2 1 3 とを比較し、両者が一致するとき、H レベルである一致信号 S 2 1 2 を出力する構成とすれば良い。

また、サブフィールド S F 5 a、S F 5 b においては、それぞれ分割前のサブフィールド S F 5 と同一のデータ信号 D s を供給すれば良いので、表示アドレス制御部 3 3 0 は、サブフィールド S F 5 a、S F 5 b にわたって、メモリブロック 3 2 5 に 2 回、アドレス信号 R A D を出力すれば良い。同様に、表示アドレス制御部 3 3 0 は、サブフィールド S F 6 a、S F 6 b にわたってメモリブロック 3 2 6 に 2 回、サブフィールド S F 7 a、S F 7 b にわたってメモリブロック 3 2 7 に 2 回、それぞれアドレス信号 R A D を出力すれば良い。

【 0 0 6 0 】

なお、階調データのうち上位 2 ビットで表される重み付けに対応する前記第 2 のサブフィールド期間 S F 5、S F 6 及び S F 7 のそれぞれを 2 分割することに

代えて、例えば、3分割してもよい。また、第2のサブフィールド期間を一律に2分割することに代えて、例えば、ある第2のサブフィールド期間を2分割し、他のサブフィールド期間を3分割するように、第2のサブフィールド期間同士で互いに異なる分割数にしてもよい。

分割数を、第2のサブフィールド期間同士で異ならせる場合には、当該上位ビットのうち、あるビットに対応するサブフィールドの分割数については、それよりも下位のビットに対応するサブフィールドの分割数よりも大きく設定しないことが望ましい。換言すれば、第2のサブフィールドの分割数については、第1のサブフィールドとの境界（基準点）に近いほど（すなわち、対応するビットの重みが小さいほど）大きくなるように設定することが望ましい。

【0061】

例えば、上記応用例において、サブフィールドSF5、SF6、SF7の分割数については、図14において例示されるように、これらサブフィールドの分割数を、 $SF5 \geq SF6 \geq SF7$ と設定することが望ましい。ここで、図14において、サブフィールドSF1～SF3の期間長を「1」としたときに「4」の期間長を有するサブフィールドSF5は、それぞれ「1」、「1」および「2」の期間長を有するサブフィールドSF5a、SF5bおよびSF5cに3分割されている。サブフィールドSF6、SF7についても同様に3分割されている。このように3分割するには、上述した応用例で説明したように、スタートパルス発生回路210においてマルチプレクサ213に供給する計数データを変更するとともに、表示アドレス制御部330におけるアクセスを制御することで可能である。

【0062】

このように、第2のサブフィールドの分割数を、第1のサブフィールドとの境界に近いほど大きくなるように設定する理由は、以下の通りである。すなわち、各サブフィールドにおけるトランジスタ116のオン期間は、1フレームにおいて垂直走査を1回する通常の駆動と比較して、極めて短い。このため、オンさせるべき画素の画素電極118における電圧は、1回の書込動作では、+V1または-V1に達しない状態となり、特に低温状態で発生する場合がある。換言すれば

、1フレームにおけるオン画素書込の回数が多くなるにつれて、画素電極118の電圧は、+V1または-V1に近づき、ある回数で飽和することが想定される。このため、第2サブフィールドの境界に近い方で分割数を大きくして、ほぼ飽和する書込み回数になればそれ以上書込み回数を増やさなくても良い。

【0063】

なお、第2のサブフィールドの分割については、必ずしも上記理由を考慮しなくても良い。例えば、図15に示されるように、第2のサブフィールド期間SF5～SF7のうち中間に位置する第2のサブフィールド期間SF6のみを分割するとともに残りの第2のサブフィールド期間SF5及びSF7を分割せず、または、前記第2のサブフィールド期間SF5～SF7のうち前記境界から最も離れた第2のサブフィールド期間SF7のみを分割するとともに残りの第2のサブフィールド期間SF5及びSF6を分割しないようにしてもよい。即ち、第2のサブフィールド期間SF5～SF7のうち任意の第2のサブフィールド期間のみを分割しても良い。

【0064】

第2のサブフィールドの分割比率については、図11、図14および図15以外であっても良い。例えば、例えば「4」の期間長を有するサブフィールドを、「1.2」および「2.8」のように2分割しても良い。

ただし、サブフィールドSF1～SF4の期間長が「1」であることとの関係上、この期間を整数倍した期間長に、サブフィールドSF5a、SF5b等の期間を設定する方が、すなわち、第2のサブフィールドの分割期間は、第1のサブフィールド期間のいずれかを単位とする方が、マルチプレクサ213に小数を伴う計数データを供給しないで済む点において有利と考える。

【0065】

[第2の実施の形態]

第2の実施の形態の電気光学装置について、図16～図19を参照して説明する。

図19は、第2の実施の形態のサブフィールドを示す。図19と第1の実施の形態のサブフィールドを示す図10との比較から明らかであるように、第2の実

施の形態のフレーム 1 F には、階調データに拘わらずオフ状態にするサブフィールド S F 8 が追加されている。

【 0 0 6 6 】

図 1 6 は、第 2 の実施の形態のスタートパルス発生回路の構成を示し、図 1 7 は、第 2 の実施の形態のデータ変換回路の構成を示し、図 1 8 は、第 2 の実施の形態の信号の波形を示す。第 2 の実施の形態の電気光学装置は、上記サブフィールド S F 8 を用いて動作すべく、図 1 6 に示されたスタートパルス発生回路 2 1 0 及び図 1 7 に示されたデータ変換回路 3 0 0 を有する。スタートパルス発生回路 2 1 0 では、図 1 6 に示されるように、サブフィールド S F 8 に対応する期間を発生するための計数データ D c 8 がマルチプレクサ 2 1 3 a に供給される。データ変換回路 3 0 0 では、図 1 7 に示すように、表示アドレス制御部 3 3 0 a が、スタートパルス D Y がサブフィールド S F 8 を指し示すときのみ S _ o f f 信号を出力する。

【 0 0 6 7 】

第 2 の実施の形態の電気光学装置によれば、階調を微調整するためにサブフィールド S F 1 ~ S F 7 の何れかの期間を多少増減する必要が生じたとき、他のサブフィールド S F 1 ~ S F 3、S F 5 ~ S F 7 の長さを増減することなく、サブフィールド S F 8 の期間のみを前記増減を要する長さだけ増減することにより前記階調を微調整することができることから、前記階調の微調整を容易に行うことが可能になる。

【 0 0 6 8 】

[第 3 の実施の形態]

第 3 の実施の形態の電気光学装置は、第 1 及び第 2 の実施形態の電気光学装置より一層の多階調を表示することを特徴とする。第 3 の実施の形態の電気光学装置について、図 2 0 ~ 図 2 3 を参照して説明する。

【 0 0 6 9 】

図 2 3 は、第 3 の実施の形態のサブフィールドを示す。第 3 の実施の形態の電気光学装置では、該電気光学装置に入力される 6 ビットの階調データ D 0 ~ D 5 が規定する 6 4 階調を表示すべく、1 フレーム (1 F) は、図 2 3 に示されるよ

うに、7個のサブフィールドSF1～SF7、7個のサブフィールドSF9～SF15、及びサブフィールドSF8を有する。サブフィールドSF1～SF7の長さは、「1」階調の重み付けを有し、サブフィールドSF9～SF15の長さは、「8」階調の重み付けを有する。液晶の動作特性により規定される閾値電圧 V_{th} を与えるべく、サブフィールドSF8を、階調に拘らず常時オン状態にされる。

【0070】

サブフィールドSF1～SF7のオン／オフ状態は、階調データD0～D5の下位3ビット(D0～D2)により規定され、他方、サブフィールドSF9～SF15のオン／オフ状態は、階調データD0～D5の上位3ビット(D3～D5)により規定される。例えば、階調データD0～D5が、「10」階調を示す「001010」であるとき、サブフィールドSF6及びSF7をオン状態にし、かつサブフィールドSF9をオン状態にし、また、階調データD0～D5が、「28」階調を示す「011100」であるとき、サブフィールドSF4～SF7をオン状態し、かつサブフィールドSF9～SF11をオン状態にする。

【0071】

このように、サブフィールドSF1～SF7、及びサブフィールドSF9～SF15を、下位ビット(D0～D2)の値の増加及び上位ビット(D3～D5)の値の増加に従って、サブフィールドSF7及びSF9間の実質的な境界を基点としてフレームの外側の方向へ順々に選択することにより、第1の実施の形態と同様に、選択されるサブフィールドの連続性を確保することが可能になる。

なお、6ビットの階調データD0～D5を3ビットずつに分割することに代えて、例えば、上位2ビット及び下位4ビットに分割することも可能である。

【0072】

図20は、第3の実施の形態のスタートパルス発生回路の構成を示し、図21は、第3の実施の形態のデータ変換回路の構成を示し、図22は、第3の実施の形態の電気光学装置の動作を示す。上記の動作を行うべく、第3の実施の形態の電気光学装置は、図20に示されたスタートパルス発生回路、及び図21に支援されたデータ変換回路を有する。

スタートパルス発生回路 2 1 0 では、図 2 0 に示されるように、サブフィールド SF 1 ～ SF 1 5 に対応する期間を発生するための計数データ D c 1 ～ D c 1 5 がマルチプレクサ 2 1 3 b に供給される。データ変換回路 3 0 0 では、図 2 1 に示されるように、デコーダ 3 1 2 b は、階調データ D 0 ～ D 6 を供給され、サブフィールドデータ S D 1 ～ S D 7、S D 9 ～ S D 1 5 を出力し、また、表示アドレス制御部 3 3 0 b は、スタートパルス D Y がサブフィールド SF 1 ～ SF 1 5 を指し示す毎に、読出し信号 R D 1 ～ R D 7、R D 9 ～ R D 1 5 を出力する。

【0 0 7 3】

〔第 4 の実施の形態〕

第 4 の実施の形態の電気光学装置について図 2 4 を参照して説明する。

図 2 4 は、第 4 の実施の形態のサブフィールドを示す。第 4 の実施の形態の電気光学装置は、図 2 4 に示されるように、第 1 の実施の形態で説明した、階調データに拘わらず常時オン状態にすべきサブフィールド SF 4 を、原則としてオン状態にし、他方、前記階調データが 0 0 0 0 のときのみ、オフ状態にする。これにより、コントラストを上げ画質を向上することが可能になる。

【0 0 7 4】

〔第 5 の実施の形態〕

第 5 の実施の形態の電気光学装置について図 2 5 を参照して説明する。

図 2 5 は、第 5 の実施の形態のサブフィールドを示す。第 5 の実施の形態の電気光学装置は、図 2 5 に示されるように、階調に従って選択すべきサブフィールドを、相互に隣接するフレーム間の境界 F で連続させる。言い換えれば、第 1 のサブフィールドと第 2 のサブフィールドとを階調に応じて順番に選択する際の境界（基準点）P と、フレームの境界 F とが一致するようにサブフィールドが構成されている。

【0 0 7 5】

このようにすると、第 1 のサブフィールド（SF 1 ～ SF 3）は当該境界から時間軸に対し後方方向に、第 2 のサブフィールド（SF 5 ～ SF 7）は当該境界から時間軸に対し前方方向に、それぞれ第 1 の実施の形態とは反対方向に、階調に応じて順番に選択される。すなわち、第 5 の実施の形態では、サブフィールド

の選択方向が、見掛け上、前フレームおよび後フレームの中央に向かうことになる。

したがって、この第5の実施の形態では、選択されるサブフィールドが相隣接する2つのフレームに跨る点において他の実施の形態とは相違するものの、連続性については確保されるので、他の実施の形態と同様に、階調の不具合の発生を回避することが可能になる。

【0076】

なお、この第5の実施の形態に、上述した第1の実施の形態の応用例に係る技術（すなわち、第2のサブフィールド同士を2以上に分割する技術）を適用したときのサブフィールドは、例えば図26に示される通りとなる。すなわち、第2のサブフィールドの分割数については、第1のサブフィールドとの境界Pに近いほど大きくなるように設定されるので、時間軸方向からみれば逆になるが、サブフィールドSF5、SF6、SF7の分割数は、上記応用例と同様に、それぞれ例えば3回、2回、1回となる。

【0077】

〔第6の実施の形態〕

第6の実施の形態の電気光学装置について説明する。第6の実施の形態の電気光学装置は、上記した第1～第5の実施の形態で説明した、選択されるサブフィールドの連続性を確保する技術と、FRC（Frame Rate Control）変調とを組み合わせることを特徴とする。

【0078】

FRC変調とは、1つのフレーム期間を通じて階調を表示するのではなく、相互に連続する複数のフレームを通じて階調を表示することをいう。例えば、2つの連続するフレームを用いて64階調のうちの「11」階調を表示しようとするときには、1番めのフレームで、「6」階調を表示し、2番めのフレームで「5」階調を表示する。また、例えば、3つの連続するフレームを用いて64階調のうちの「11」階調を表示しようとするときには、1番めのフレームで「4」階調を表示し、2番めのフレームで「4」階調を表示し、3番めのフレームで「3」階調を表示する。表示すべき階調が、64階調、128階調、256階調のよ

うに一層大きくなることに伴い、低階調を表示するためのサブフィールド、例えば、「1」階調に相当する長さを有するサブフィールドの長さが短くならざるを得ないことから、FRC変調は、特に、低階調を表示するためのサブフィールドのオン／オフを高精度に制御することに適する。

【0079】

ここで、階調データを構成するNビットが、上位Mビット（Mは、Nより小さい正の整数）及び下位（N-M）ビットからなり、第1のサブフィールドが、前記下位（N-M）ビット中の最下位ビットの重み付けに相当する第1の重み付けを有し、第2のサブフィールドが、前記上位Mビット中の最下位ビットの重み付けに相当する第2の重み付けを有し、前記複数のフレームの数がF個であることを想定すると、

各フレームにおける第1のサブフィールドの個数bおよび第2のサブフィールドの個数cは、それぞれ

$$b = (2^{N-M} - 1) / F \quad \dots (1),$$

$$c = (2^M - 1) \quad \dots (2)$$

で示される。ただし、(1)式において、 $2^{N-M} - 1$ がFで割り切れないとき（余りが生じるとき）、例外として、個数bを、当該商の整数部分に1を加えた数とする。

さらに、第1の重み付けが α であることを想定すると、第2の重み付け β は、

$$\beta = \alpha 2^{N-M} / F \quad \dots (3)$$

で示される。

【0080】

また、1つのフレームについてみて、第1および第2のサブフィールドの選択／非選択の組み合わせを示す選択パターンの数Zは、

$$Z = 2^M (b + 1) \quad \dots (4)$$

で示される。

さらに、前記第1及び前記第2のサブフィールド数の合計が最小となるMの最適解に基づいて、前記階調データを上位ビット及び下位ビットに分割することが望ましい。

なお、上記式(1)、(2)および(4)については、上述した常時オン状態にすべきサブフィールド及び常時オフ状態にすべきサブフィールドを考慮していない。

【0081】

以下、6ビットの階調データによって規定される64階調を、3つの連続するフレームを用いて表示する64階調3FRCについて、当該階調データを上位2ビット及び下位4ビットに分割した場合を例にとって説明する。

この場合、 $N=6$ 、 $M=2$ 、 $F=3$ であるので、上記式(1)より $b=5$ 、上記式(2)より $c=3$ 、上記式(3)より $\beta=5$ 、 33α 、上記式(4)より $Z=24$ となる。

この状態について図30を参照して説明すると、3つのフレームを通じて、階調データの下位4ビットで表現すべき16階調表示用の15個のサブフィールドを当該3つのフレームに分散させた結果、最下位ビットの重み付けを有する5個($b=5$)のサブフィールドSF1～SF5が各フレームに設けられている。

一方、階調データの上位2ビットのうち、最下位ビットの重み付けに相当する3個($c=3$)のサブフィールドSF7～SF9が各フレームに設けられている。詳細には、階調データの最下位ビットの重み付けを「1」としたとき、階調データの上位2ビットのうち、最下位ビットの重み付けは「16」となり、これを3つのフレームに分散させた結果、サブフィールドSF7～SF9の期間長は、「5.33」となる(サブフィールドSF1～SF5の期間長を「1」としたとき)。

結局、各フレームには、下位4ビットに対応するサブフィールドSF1～SF5、上位2ビットに対応するSF7～SF9、及び、常時オンとすべきサブフィールドSF6の合計9個のサブフィールドが設けられている。

【0082】

図30では、下位ビットに対応するサブフィールドSF1～SF5の個数が5であり、他方、上位ビットに対応するサブフィールドSF7～SF9の個数が3個であることから、選択パターンが24($= (5+1) \times (3+1)$)種類であることが示されている。この点は、 $Z=24$ であることから明らかである。

【0083】

図 3 1 は、6 4 階調 3 F R C とする場合に、各フレームにおいて選択すべき選択パターンを示す図表である。例えば、階調データが「7」階調（0 0 0 1 1 1）を示すときには、1 番めのフレームでは、該 1 番めのフレームに含まれるサブフィールドのうち、図 3 0 に示した選択パターン 3 を構成するために必要なサブフィールドを選択し、即ち、サブフィールド S F 3 ～ S F 5 を選択し、2 番めのフレームでは、該 2 番めのフレームに含まれるサブフィールドのうち、図 3 0 に示した選択パターン 2 を構成するために必要なサブフィールドを選択し、即ちサブフィールド S F 4 及び S F 5 を選択し、3 番めのフレームでもまた、該 3 番めのフレームに含まれるサブフィールドのうち、選択パターン 2 を構成するために必要なサブフィールドを選択する、即ち、サブフィールド S F 4 及び S F 5 を選択する。

【 0 0 8 4 】

図 2 7 は、6 4 階調 3 F R C のためのデータ変換回路の構成を示す図である。この図に示されるように、データ変換回路 3 0 0 s は、上記した第 1 の実施の形態と同様に、書き込みアドレス制御部 3 1 0 s、表示アドレス制御部 3 3 0 s、フレームメモリ 3 2 1 s、及びデコーダ 3 1 2 s を有する。

【 0 0 8 5 】

階調データ D 0 ～ D 5 は、フレームメモリ 3 1 2 s の記憶領域のうち、書き込みアドレス W A D で示されるアドレスにて一旦書き込まれた後、読み出しアドレス R A D で示されるアドレスから読み出されて、デコーダ 3 1 2 s に出力される。

デコーダ 3 1 2 s は、信号 F R D 0 ・ F R D 1 により特定されるフレーム番号のうち、信号 S F D 0 ～ S F D 3 により特定されるサブフィールド番号で規定されたサブフィールド期間に応じて（詳細には図 2 8 に示される真理値表にしたがって）、当該階調データをデータ信号 D s にデコードする。

このデータ変換回路 3 0 0 s によれば、例えば、「1」階調を示す階調データ（0 0 0 0 0 1）は、3 つのフレームのうち、信号 F R D 0 ・ F R D 1 によって 1 番目のフレーム F R 1 が特定され、さらに、サブフィールド S F 1 ～ S F 9 のうち、信号 S F D 0 ～ S F D 3 によってサブフィールド S F 5 が特定されたとき

、画素をオンとすべき旨を指示する「1」のデータ信号 D_s に変換される。

【0086】

図29は、64階調3FRCの信号の波形を示す。図29に示される信号の波形は、第1の実施の形態の信号の波形と概ね同一である。

【0087】

次に、6ビットの階調データによって規定される64階調を、2つのフレームを用いて表示する64階調2FRCについて、当該階調データを上位3ビット及び下位3ビットに分割した場合について説明する。

この場合、 $N=6$ 、 $M=3$ 、 $F=2$ となるので、上記式(1)の例外によって $b=4$ 、上記式(2)より $c=7$ 、上記式(3)より $\beta=4$ 、上記式(4)より $Z=40$ となる。

この状態について図33を参照して説明すると、階調データの最下位ビットの重み付けを有する4個($b=4$)のサブフィールドSF1～SF4が各フレームに設けられている一方、階調データの上位3ビットのうちの最下位ビットの重み付けに相当する7個($c=7$)のサブフィールドSF6～SF12が各フレームに設けられている。

なお、サブフィールドSF1～SF4の各期間長を「1」としたとき、サブフィールドSF6～SF12の各期間長は、「4」となる。

結局、各フレームには、下位3ビットに対応する3個のサブフィールドSF1～SF4、上位3ビットに対応する7個のSF6～SF12、及び、常時オンとすべきサブフィールドSF5の合計12個のサブフィールドが設けられている。このため、1フレームでの選択パターンは、図33に示されるように、 $40 = (4+1) \times (7+1)$ 種類となる。この点は、 $Z=40$ であることから明らかである。

【0088】

図34は、64階調2FRCとする場合に、各フレームにおいて選択すべき選択パターンを示す図表である。例えば、階調データが「6」階調(000110)を示すとき、1番めのフレームでは、該1番めのフレームに含まれるサブフィールドのうち、図33に示した選択パターン4を構成するために必要なサブフィ

ールドSF1～SF4を選択し、2番めのフレームでは、該2番めのフレームに含まれるサブフィールドのうち、図33に示した選択パターン3を構成するために必要なサブフィールドSF2～SF4を選択する。

【0089】

なお、第6の実施の形態については、6ビットの階調データを用いた64階調のほか、8ビットの階調データを用いた256階調なども当然に可能である。

【0090】

以上説明したように、第6の実施の形態によれば、FRC変調を用いることにより、各フレームに設けるべき、重み付けの小さいサブフィールドの個数を低減することができ、これにより、前記重み付けの小さいサブフィールドの期間を長くすることができることから、画素への書き込み時間を延ばすことができる。これにより、液晶へのデータ信号を高精度に印加することが容易になる。

【0091】

なお、第1の実施の形態の応用例として図11を用いて上述した動作を行うことにより、本第6の実施の形態であるFRCにおいても、第2のサブフィールドを複数に分割して駆動することが可能である。

【0092】

[第7の実施の形態]

第7の実施の形態の電子機器について説明する。

図35は、第7の実施の形態の電子機器の構成を示す。該電子機器は、図35に示されるように、主に、画像信号などの表示情報を出力する表示情報出力源1000と、前記表示情報からデジタル信号を順次生成する表示情報処理回路1002と、上記各実施の形態で説明した電気光学装置1001と、該電気光学装置1001を駆動する、上述した走査線駆動回路130及びデータ線駆動回路140を含む駆動回路1004と、クロック発生回路1008と、電源回路1010とを備えている。第10の実施の形態の代表的な電子機器として、プロジェクタ、モバイル型コンピュータ、及び携帯電話器がある。

【0093】

図36(a)はプロジェクタの構成を、図36(b)はモバイル型のコンピュ

一タの構成を、図 3 6 (c) は携帯電話器の構成を、それぞれ示す。プロジェクタ 1 4 3 0 は、図 3 6 (a) に示されるように、液晶光変調装置 1 0 0 R、1 0 0 G、1 0 0 B として、上記電気光学装置を有し、モバイル型のコンピュータ 1 2 0 0 は、図 3 6 (b) に示されるように、表示ユニット 1 2 0 6 として、上記した電気光学装置 1 0 0 及びバックライトを備えており、携帯電話器 1 3 0 0 は、図 3 6 (c) に示されるように、表示部として、上記の電気光学装置を備えている。

【0094】

なお、上記の例で設定した各サブフィールドの重み付けは、液晶の特性等を考慮して調整することも可能である。また、上記の例では、液晶表示装置について説明したが、エレクトロルミネッセンス (E L) ディスプレイ、プラズマディスプレイやデジタルマイクロミラーデバイス (DMD) ディスプレイ等の電気光学素子にも適用可能である。

【0095】

【発明の効果】

上記したように、本発明の画素の駆動方法によれば、オンを選択すべきサブフィールドの連続性を確保することができることから、階調のずれを改善し、画質を向上することができ、加えて、画素に印加すべき電圧が高周波に変化しないことから、消費電力を低減することが可能になる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態の電気光学装置の構成を示す図である。

【図 2】 第 1 の実施の形態の表示部に設けられている画素の構成を示す図である。

【図 3】 第 1 の実施の形態の電気光学装置の構造を示す図である。

【図 4】 第 1 の実施の形態のデータ線駆動回路の構成を示す図である。

【図 5】 第 1 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 6】 第 1 の実施の形態のスタートパルス発生回路の動作を示すタイムチャートである。

【図 7】 第 1 の実施の形態のデータ変換回路の構成を示す図である。

【図 8】 第 1 の実施の形態のデコーダが用いる真理値表を示す図である。

【図 9】 第 1 の実施の形態の信号の波形を示すタイムチャートである。

【図 10】 第 1 の実施の形態のサブフィールドを示す図である。

【図 11】 第 1 の実施の形態の応用例に係るサブフィールドを示す図である。

【図 12】 第 1 の実施の形態の応用例のスタートパルス発生回路の構成を示す図である。

【図 13】 (a) は、第 1 の実施の形態の階調－透過率特性を示す図であり、(b) は、応用例の階調－透過率特性を示す図である。

【図 14】 応用例において分割数を均一でない場合を例示する図である。

【図 15】 応用例において分割すべきサブフィールドを相違させる場合を例示する図である。

【図 16】 第 2 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 17】 第 2 の実施の形態のデータ変換回路の構成を示す図である。

【図 18】 第 2 の実施の形態の信号の波形を示すタイムチャートである。

【図 19】 第 2 の実施の形態のサブフィールドを示す図である。

【図 20】 第 3 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 21】 第 3 の実施の形態のデータ変換回路の構成を示す図である。

【図 22】 第 3 の実施の形態の電気光学装置の動作を示す図である。

【図 23】 第 3 の実施の形態のサブフィールドを示す図である。

【図 24】 第 4 の実施の形態のサブフィールドを示す図である。

【図 25】 第 5 の実施の形態のサブフィールドを示す図である。

【図 26】 第 5 の実施の形態において分割数を均一でない場合を例示する図である。

【図 27】 第 6 の実施の形態のデータ変換回路の構成を示す図である。

【図 28】 第 6 の実施の形態のデコーダが用いる真理値表を示す図である。

【図29】 第6の実施の形態の信号の波形を示すタイムチャートである。

【図30】 第6の実施の形態のサブフィールドを示す図である。

【図31】 第6の実施の形態の各フレームでの選択パターンを示す図である。

【図32】 第6の実施の形態のデータ変換回路の構成を示す図である。

【図33】 第6の実施の形態のサブフィールドを示す図である。

【図34】 第6の実施の形態の各フレームでの選択パターンを示す図である。

【図35】 第7の実施の形態の電子機器の構成を示す図である。

【図36】 プロジェクタ、モバイル型のコンピュータ、及び携帯電話器の構成を示す図である。

【符号の説明】

101a 表示部

150 発振回路

200 タイミング信号生成回路

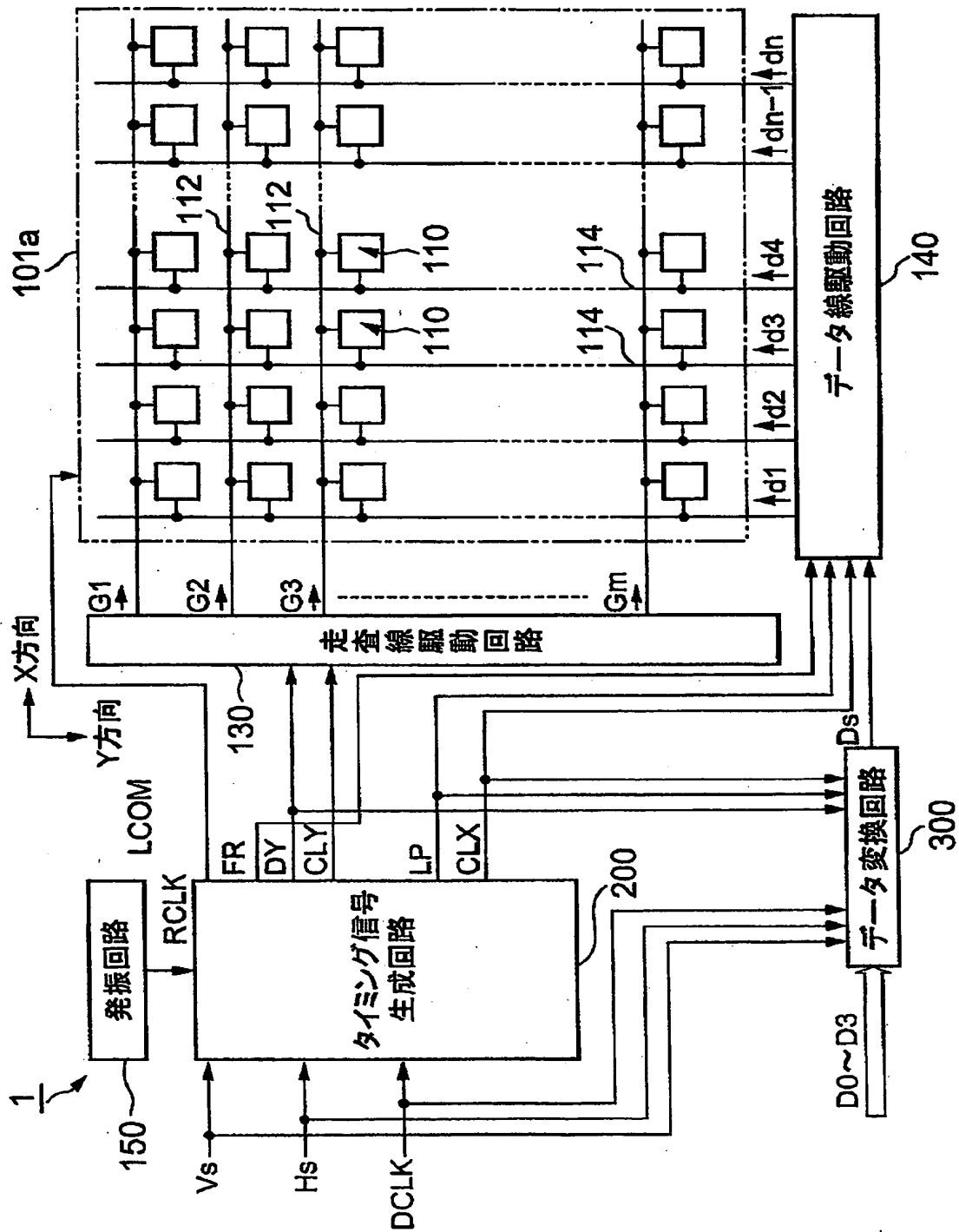
300 データ変換回路

130 走査線駆動回路

140 データ線駆動回路

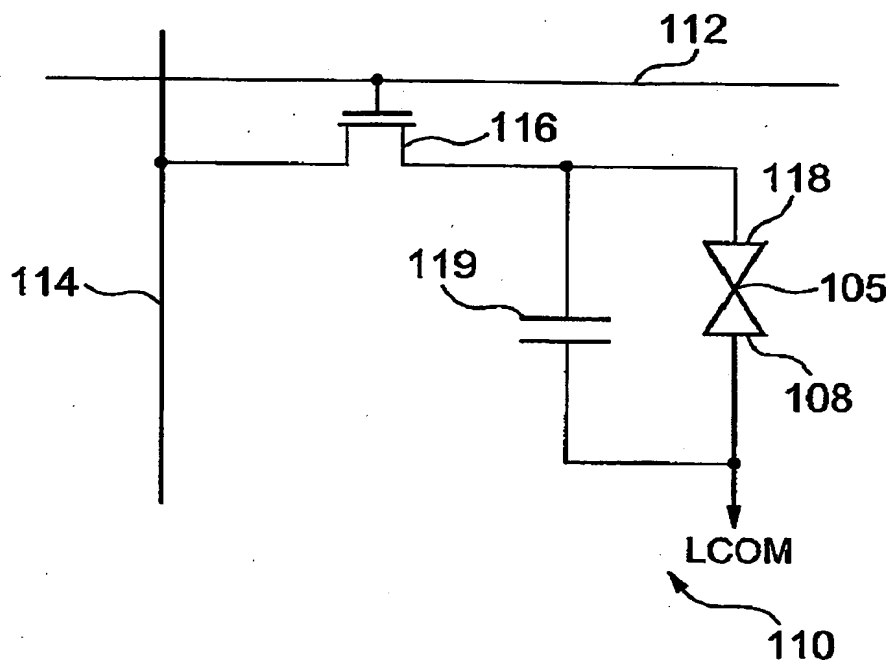
【書類名】 図面

【図 1】

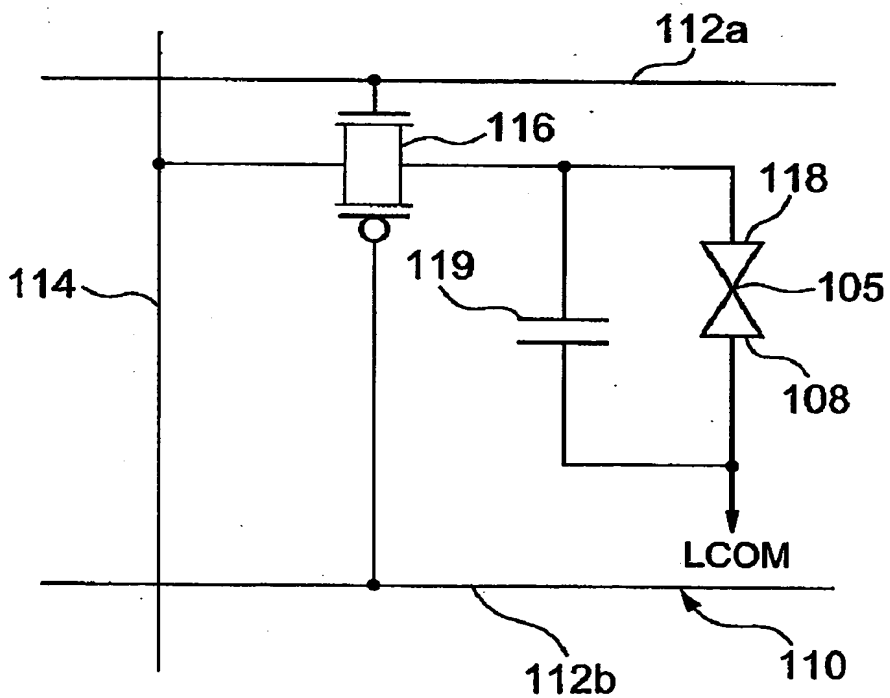


【図2】

(a)

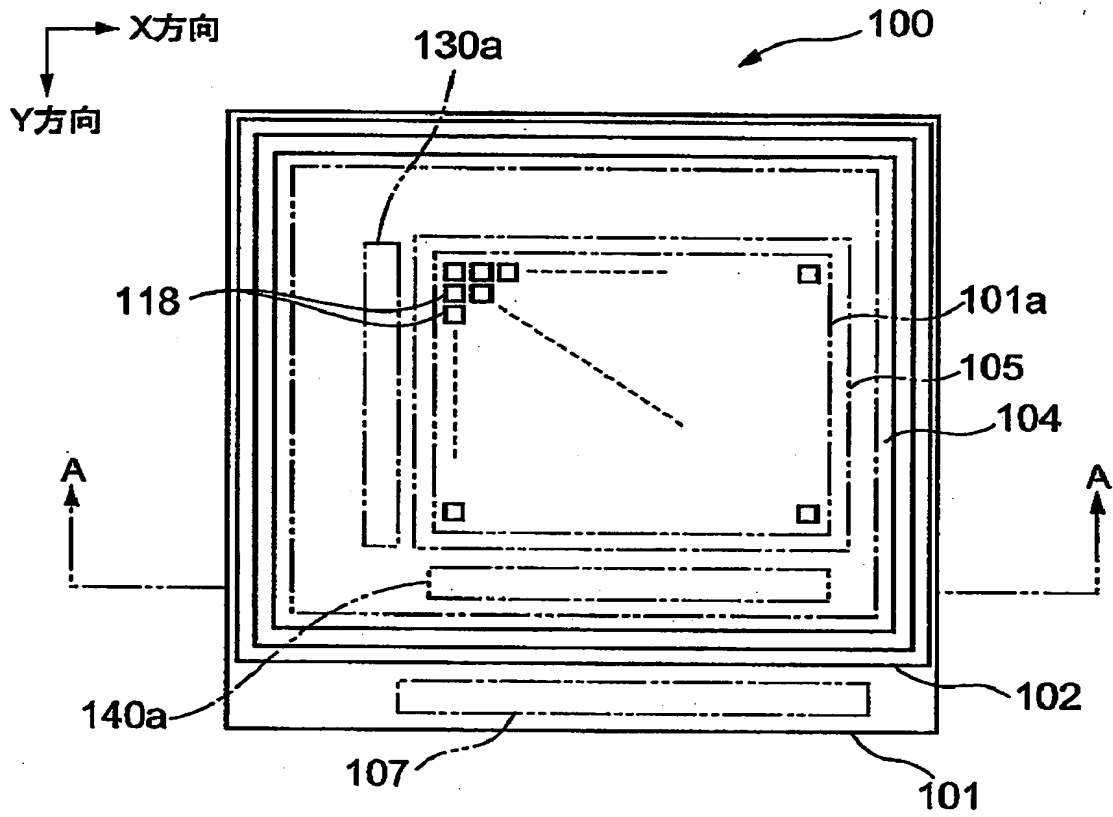


(b)

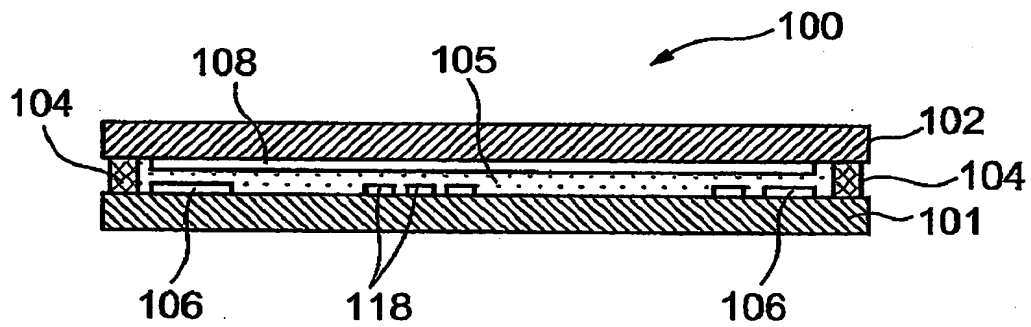


【図 3】

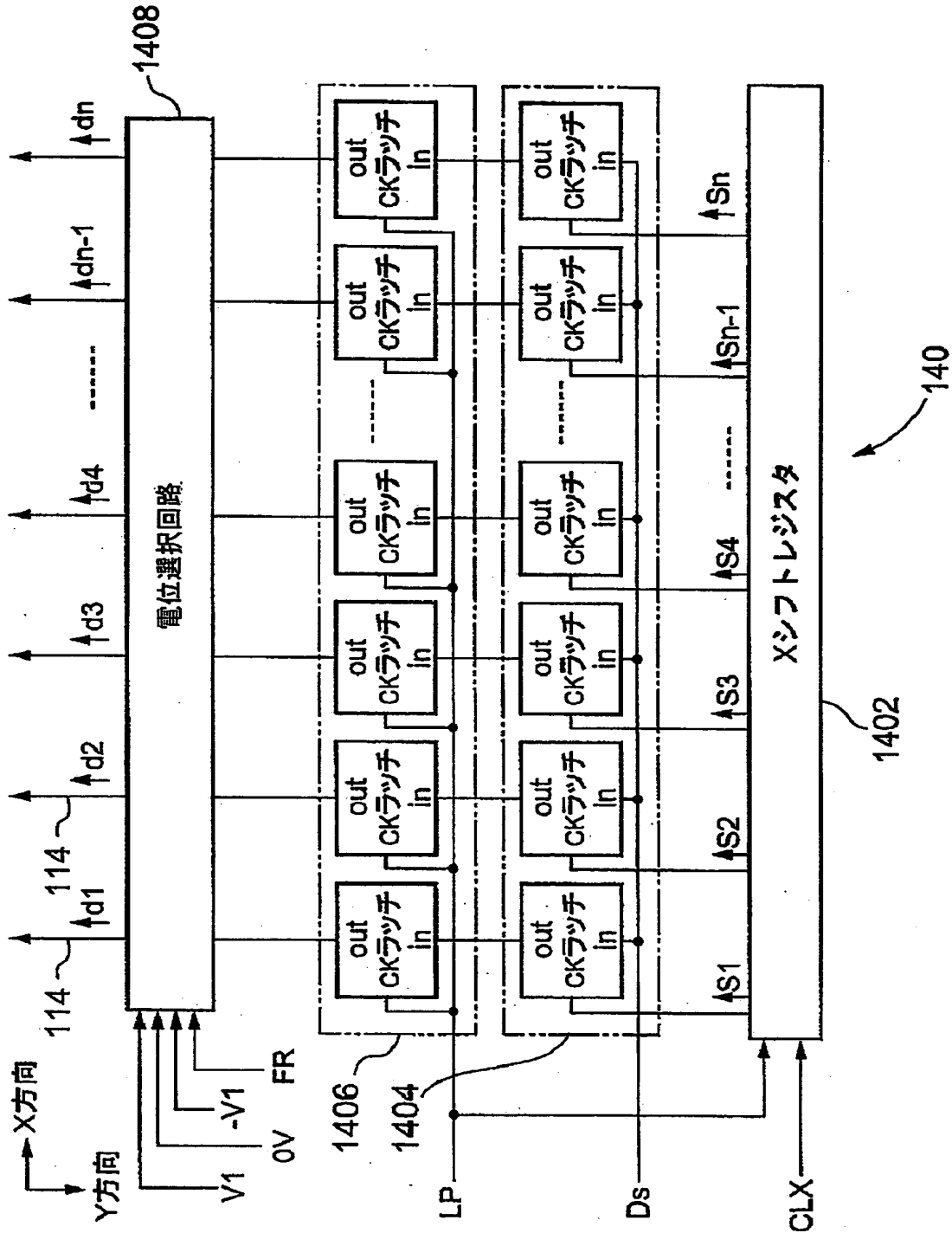
(a)



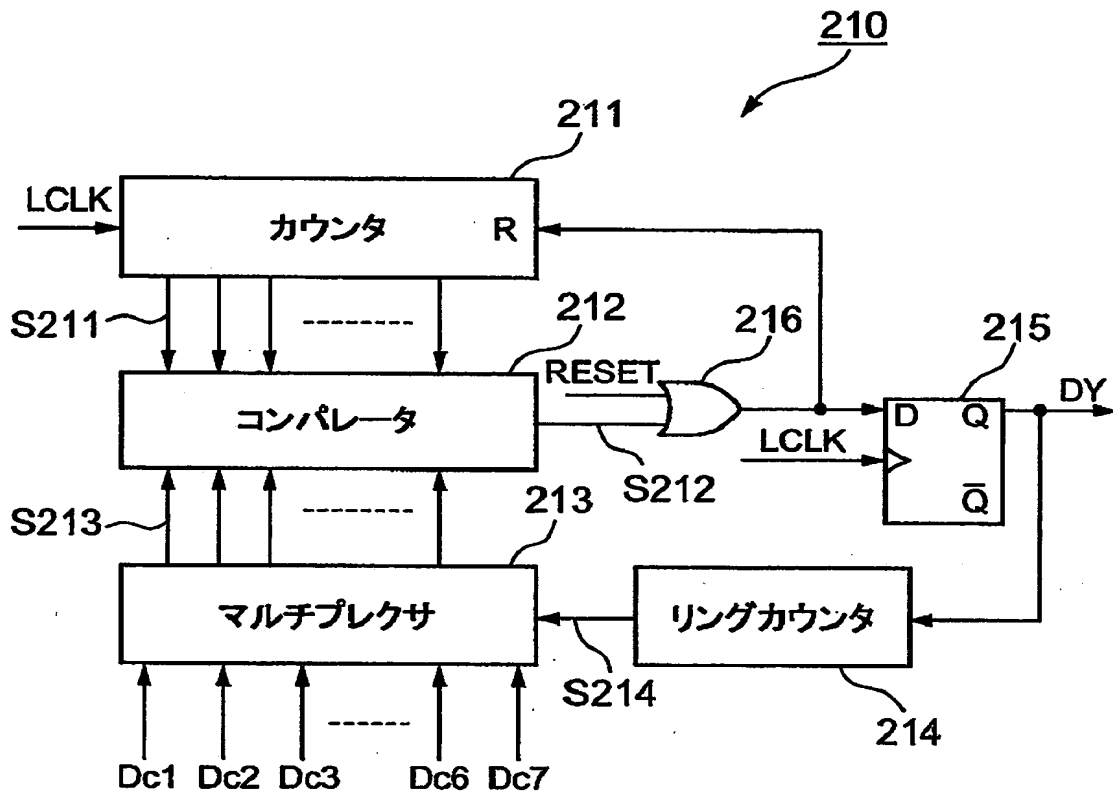
(b)



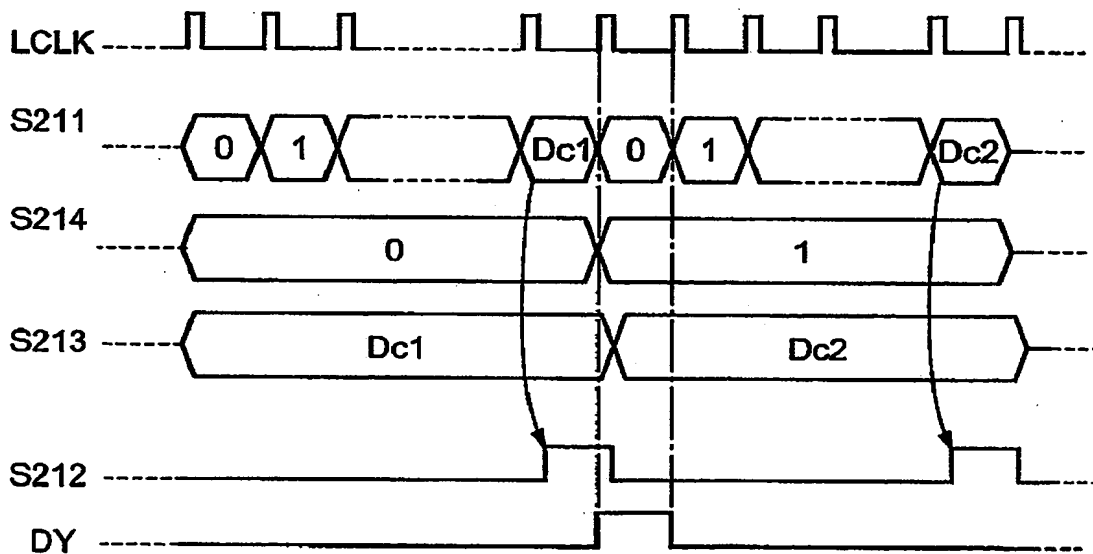
【図4】



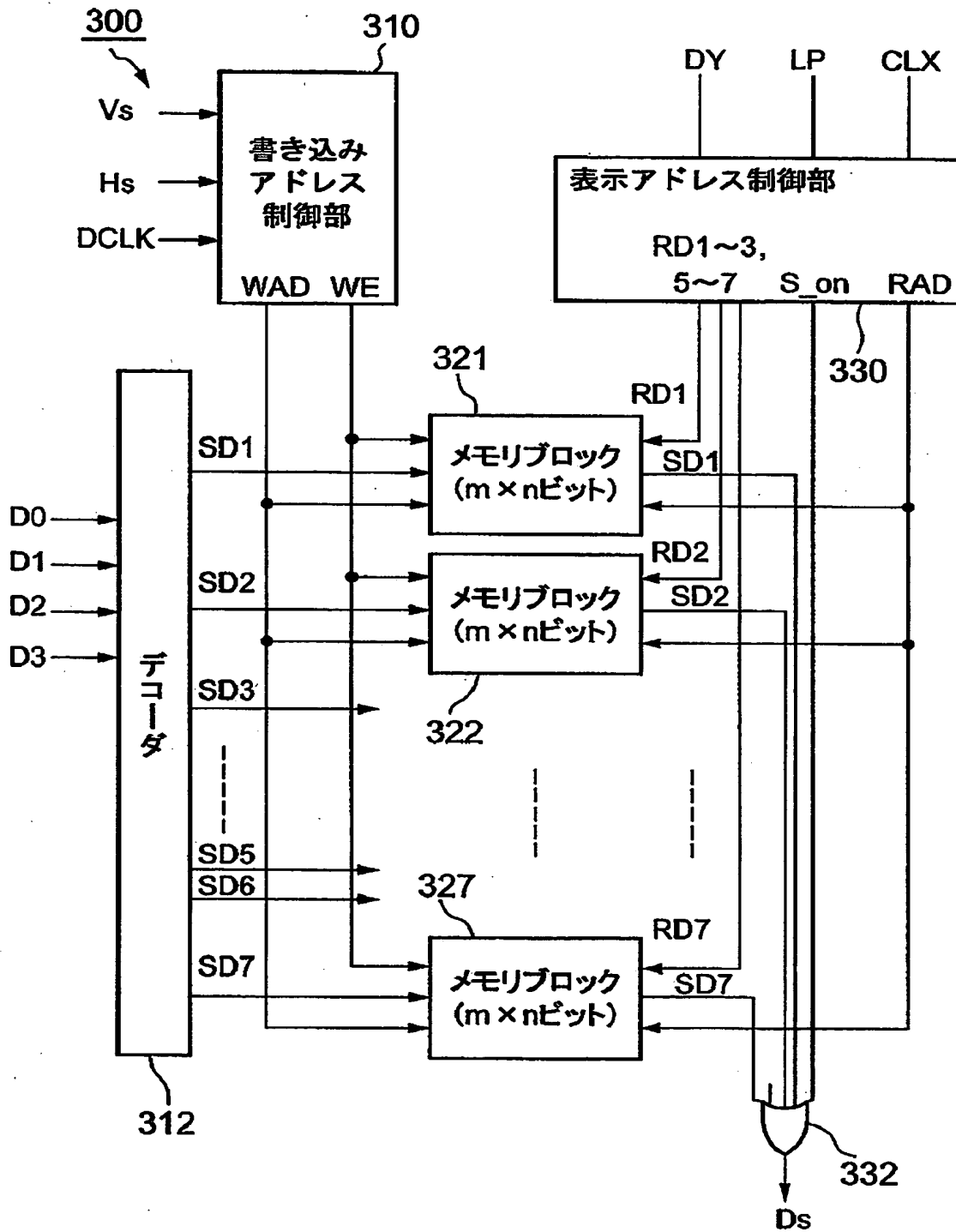
【図5】



【図6】



【図7】

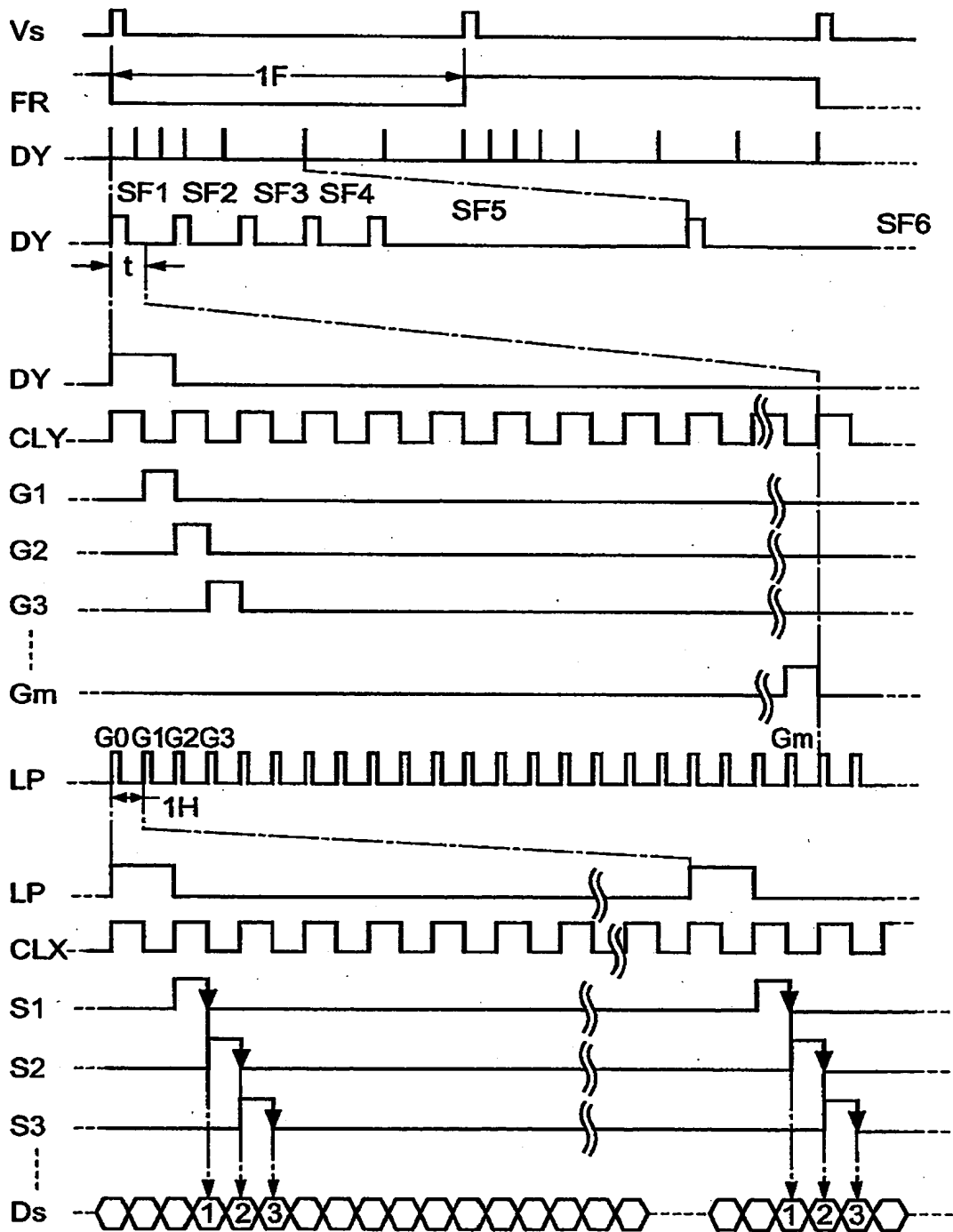


【図 8】

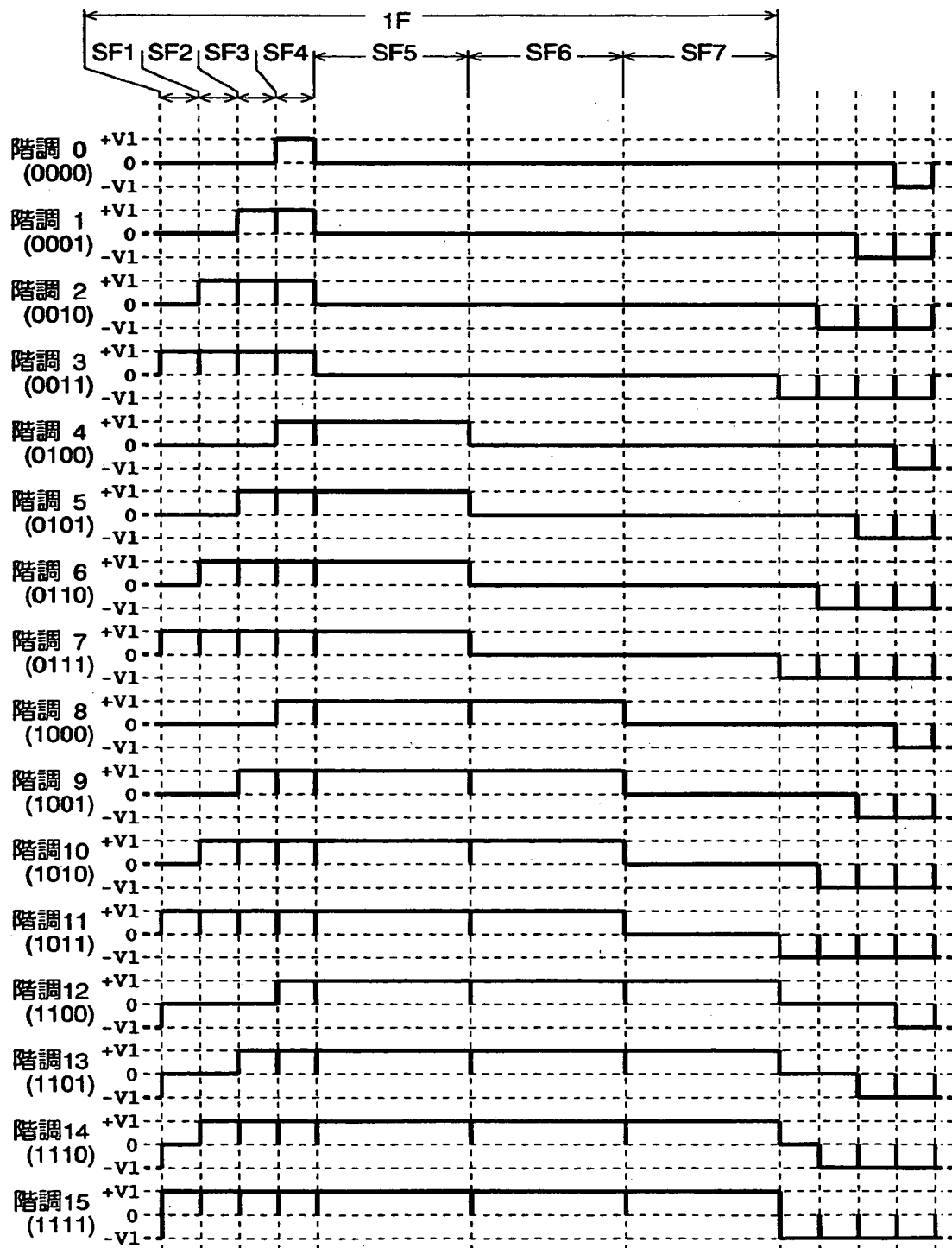
データ変換回路のデコーダ真理値表 (16階調7sf)

	データ	SD1	SD2	SD3	SD5	SD6	SD7
0	0000	0	0	0	0	0	0
1	0001	0	0	1	0	0	0
2	0010	0	1	1	0	0	0
3	0011	1	1	1	0	0	0
4	0100	0	0	0	1	0	0
5	0101	0	0	1	1	0	0
6	0110	0	1	1	1	0	0
7	0111	1	1	1	1	0	0
8	1000	0	0	0	1	1	0
9	1001	0	0	1	1	1	0
10	1010	0	1	1	1	1	0
11	1011	1	1	1	1	1	0
12	1100	0	0	0	1	1	1
13	1101	0	0	1	1	1	1
14	1110	0	1	1	1	1	1
15	1111	1	1	1	1	1	1

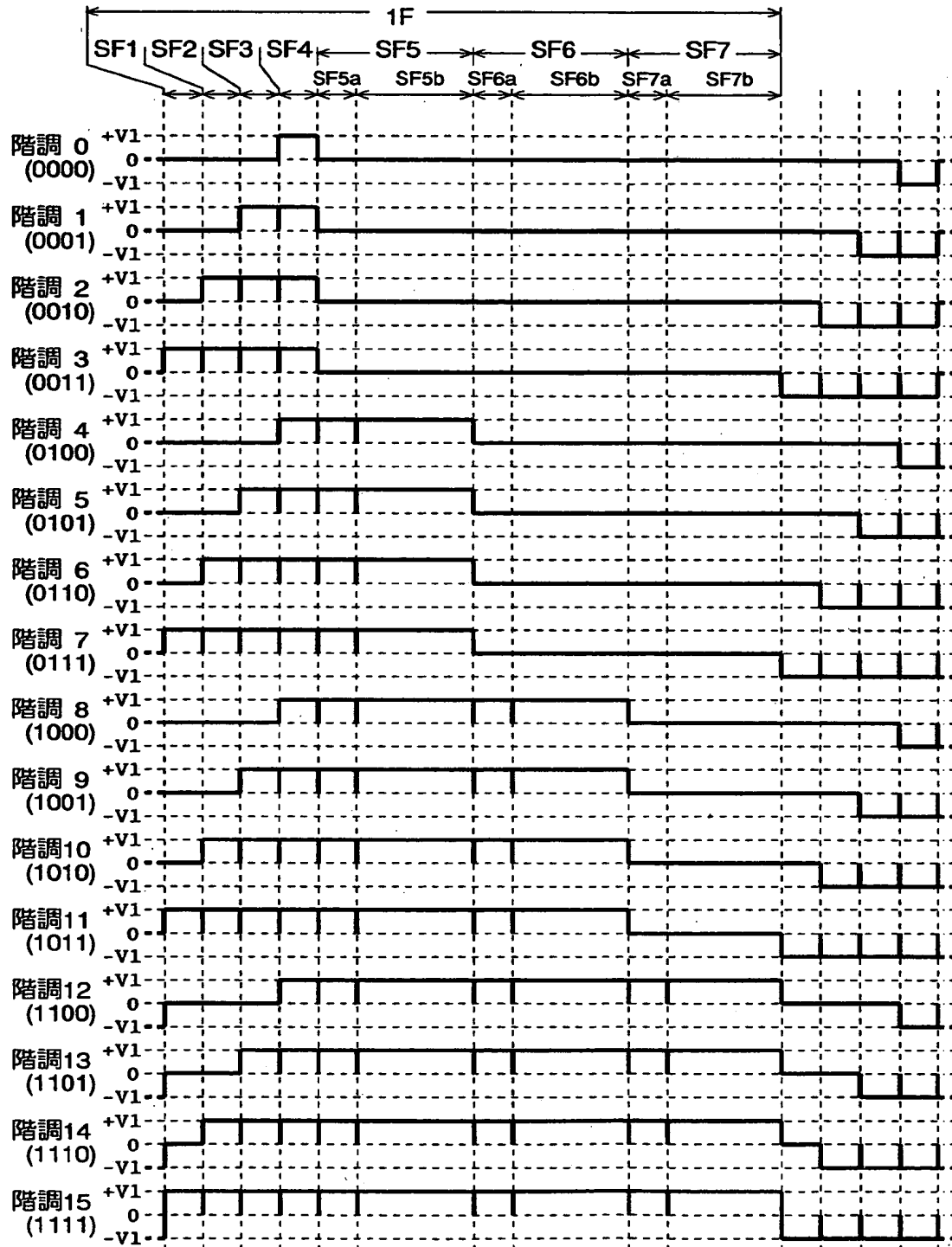
【図9】



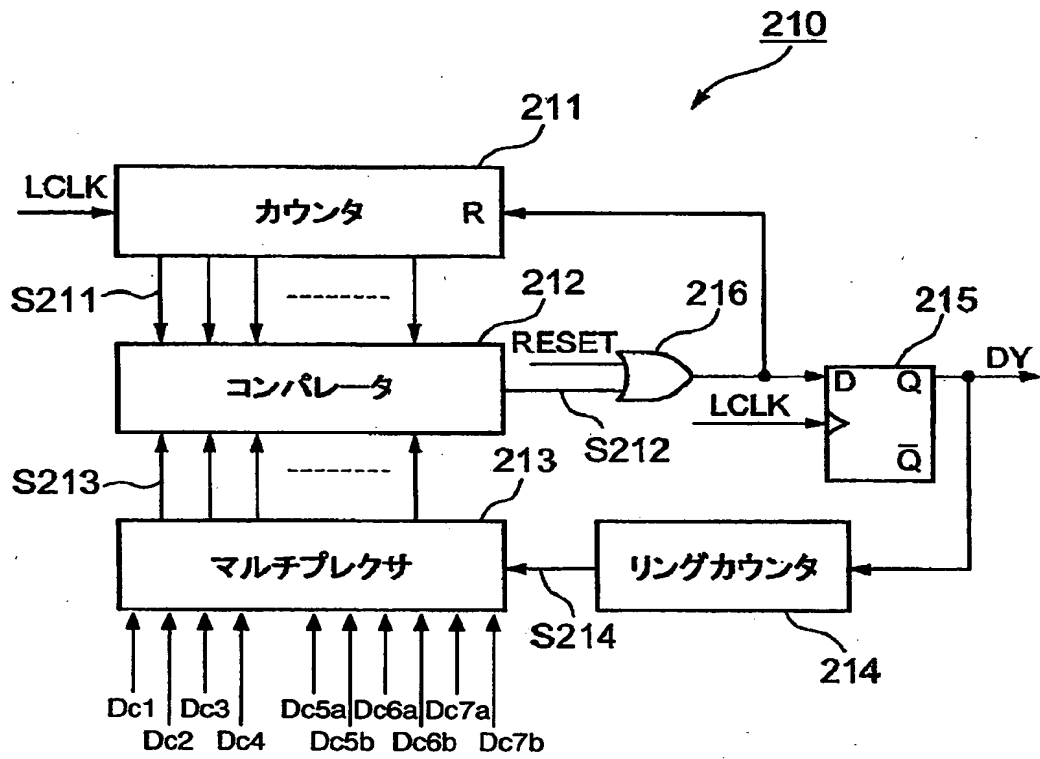
【図 10】



【図 11】

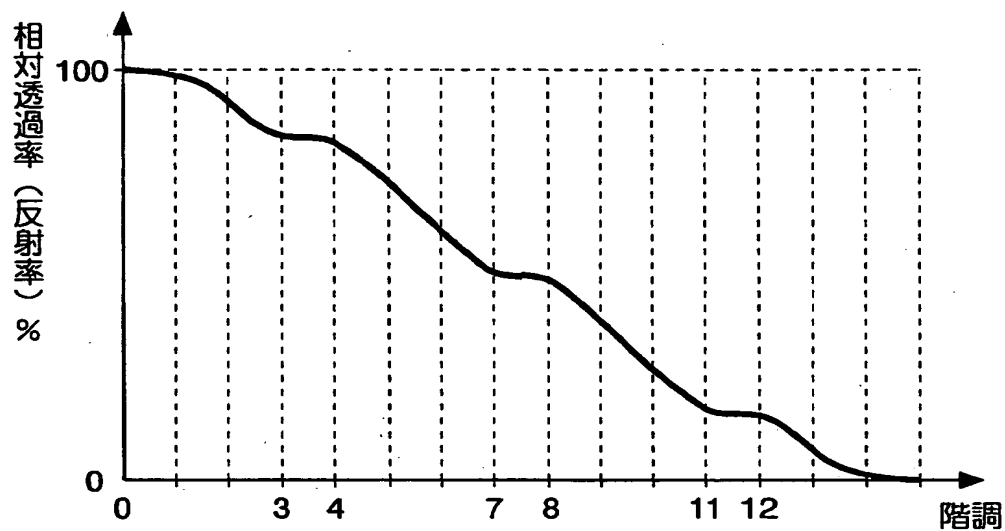


【図 12】

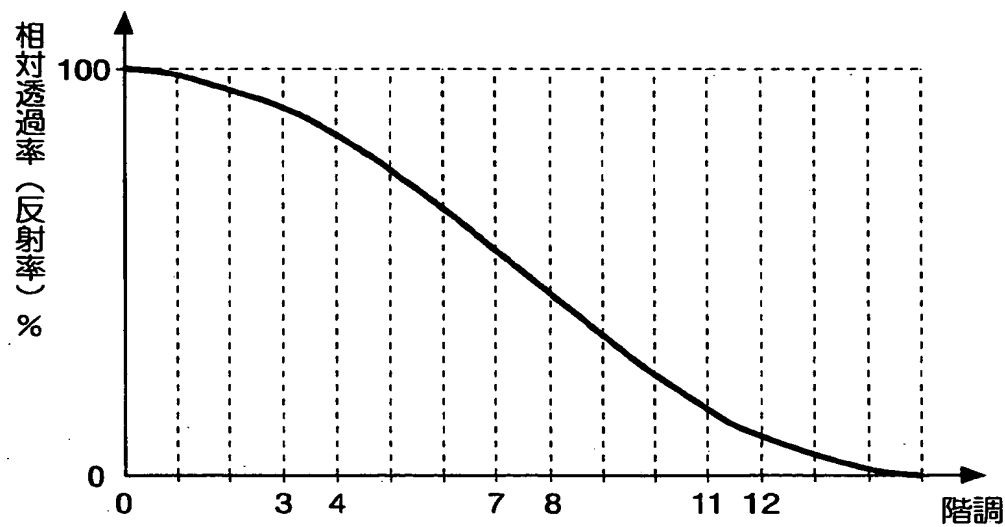


【図13】

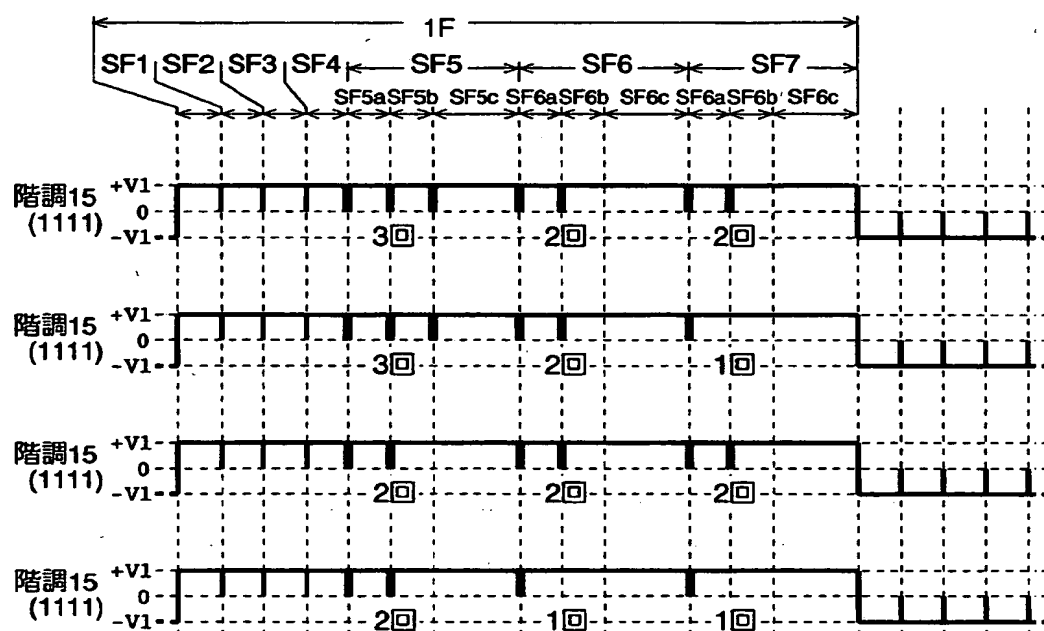
(a)



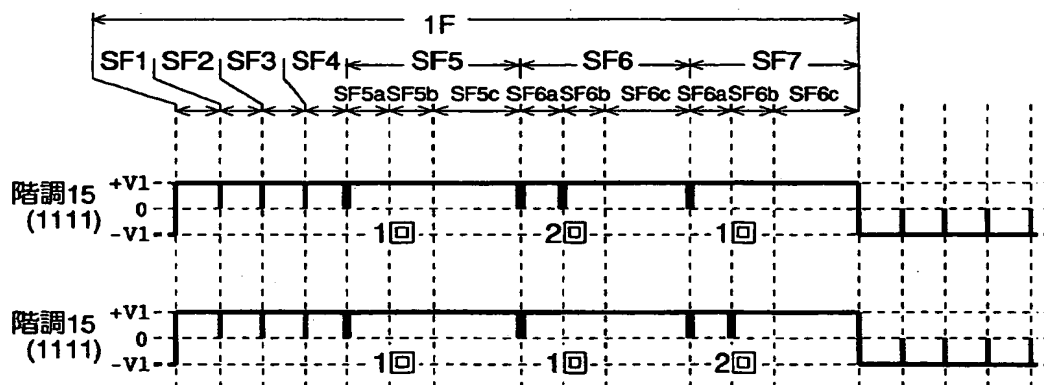
(b)



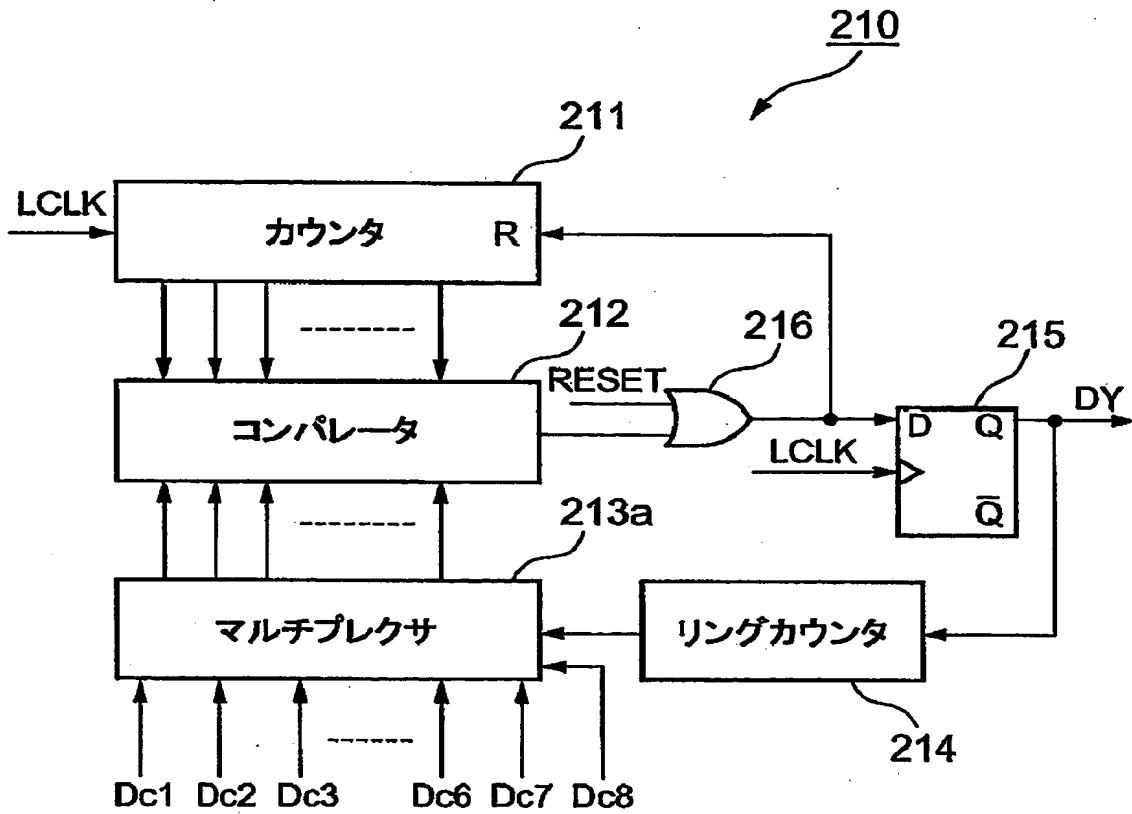
【図 14】



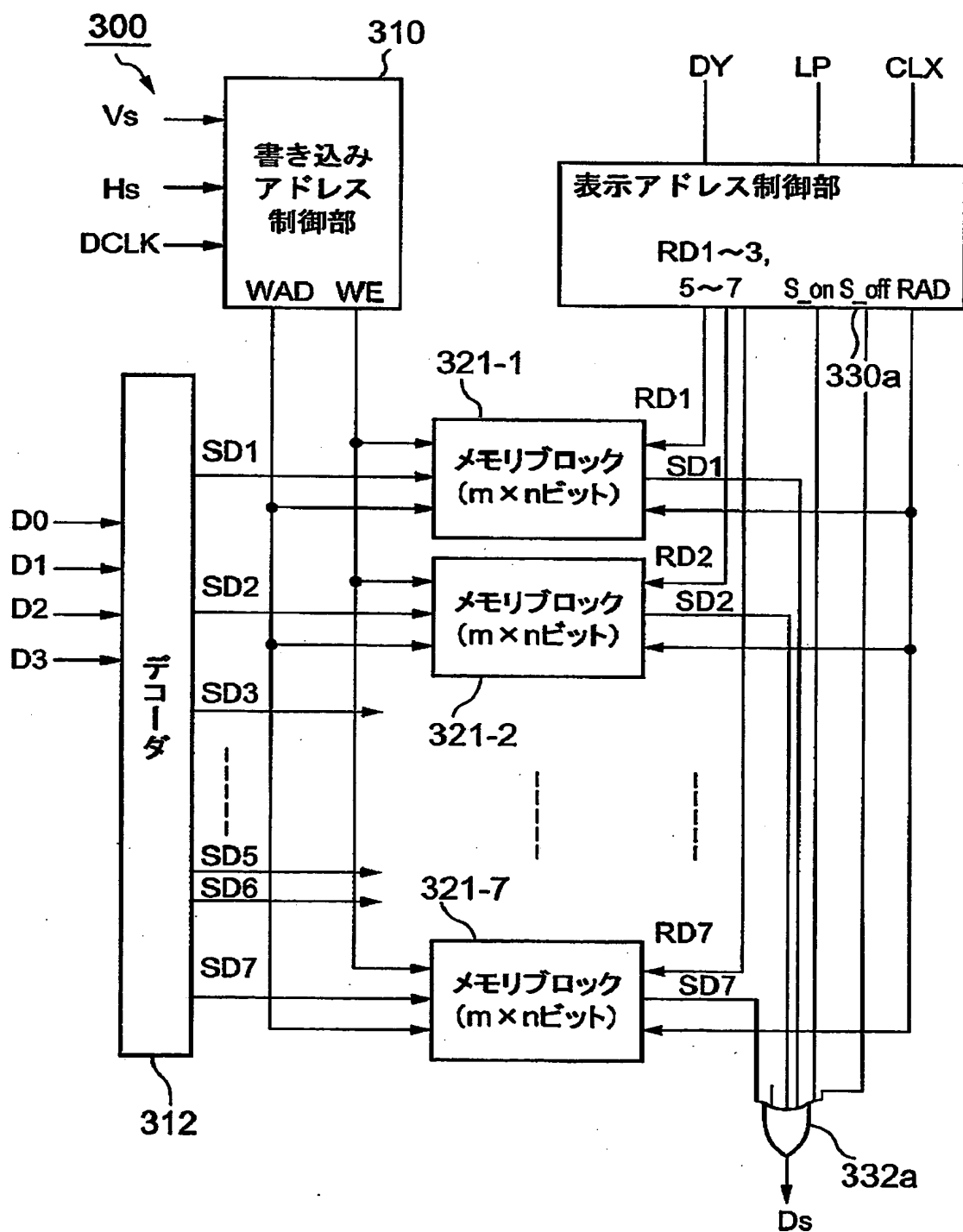
【図 15】



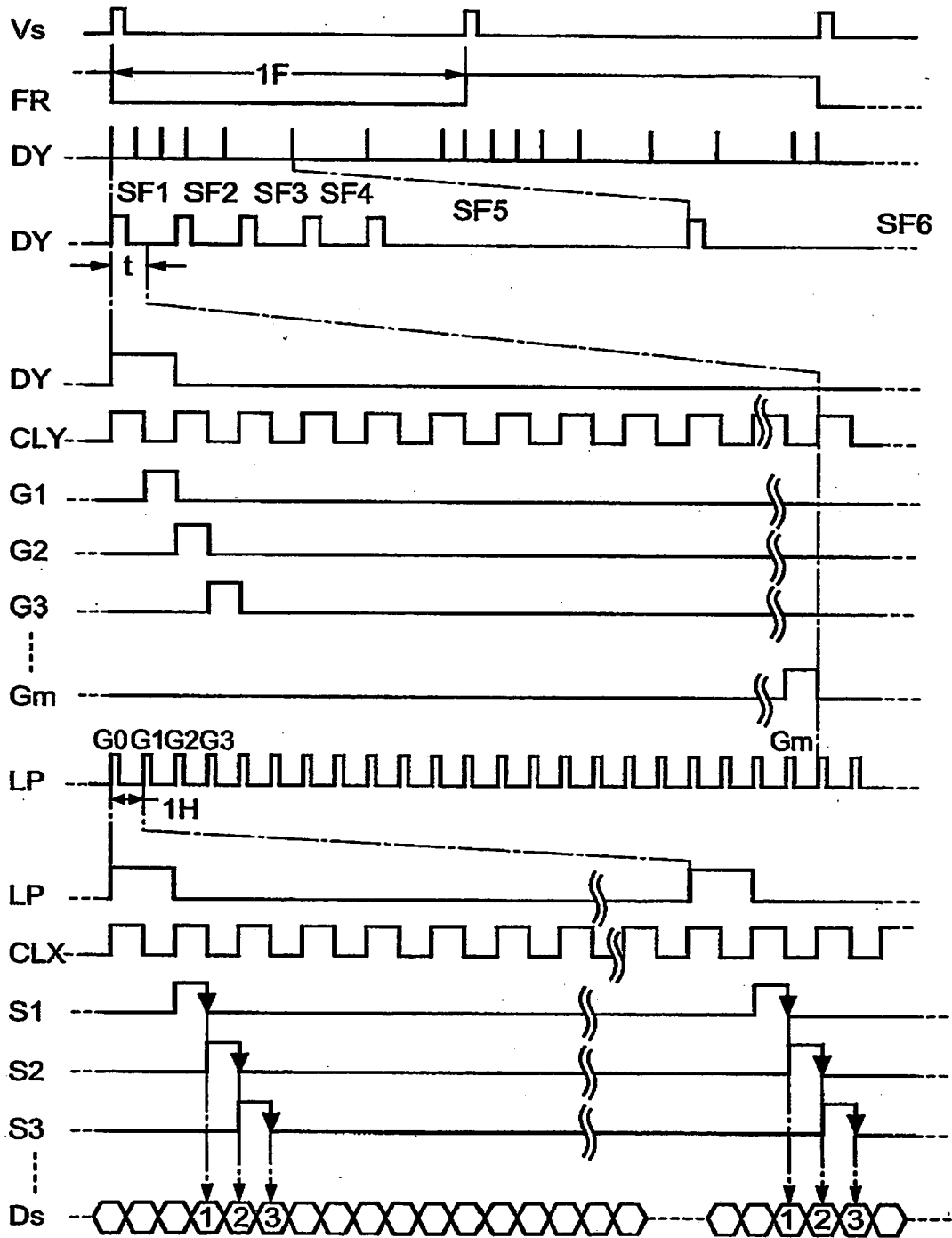
【図16】



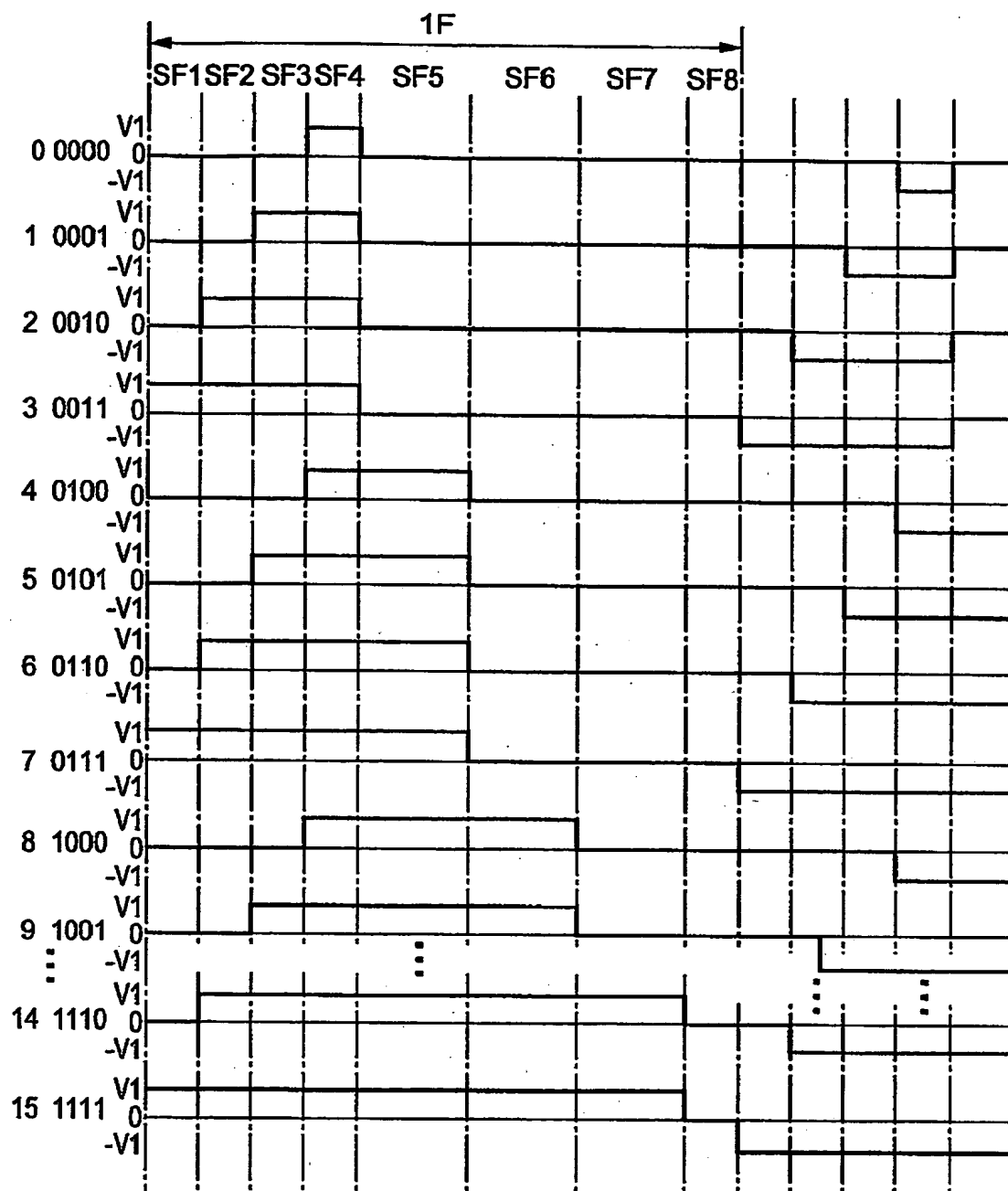
【図17】



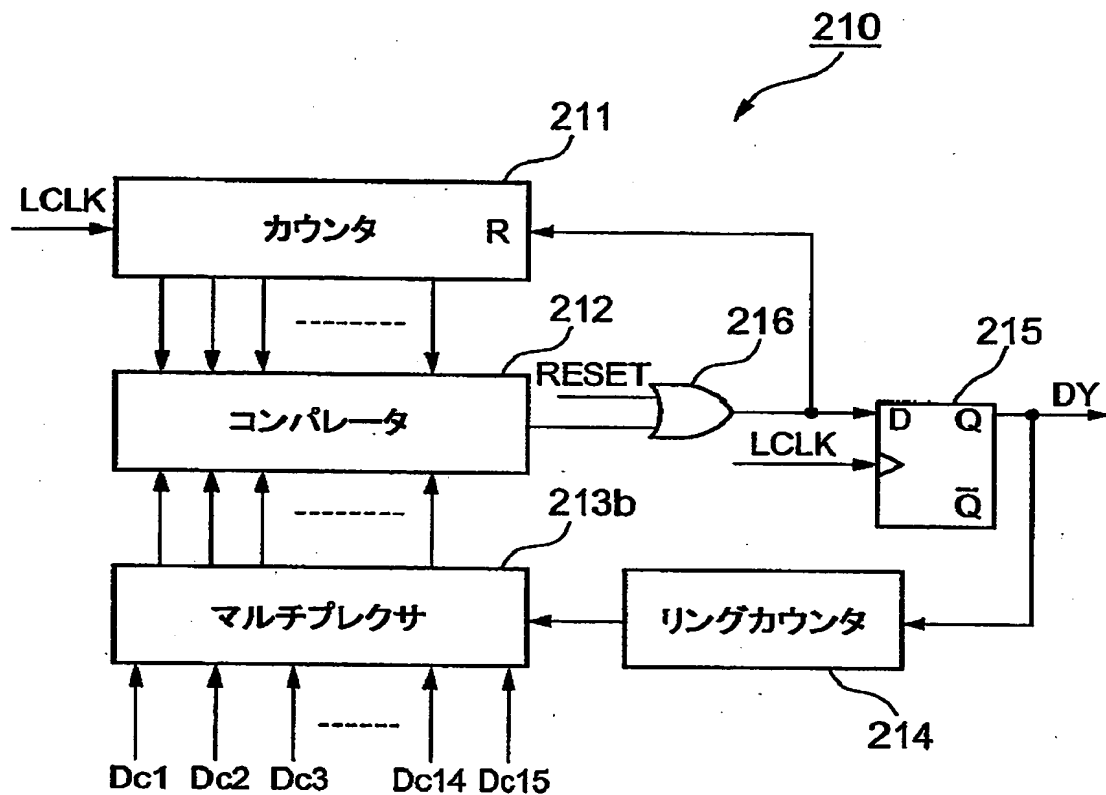
【図18】



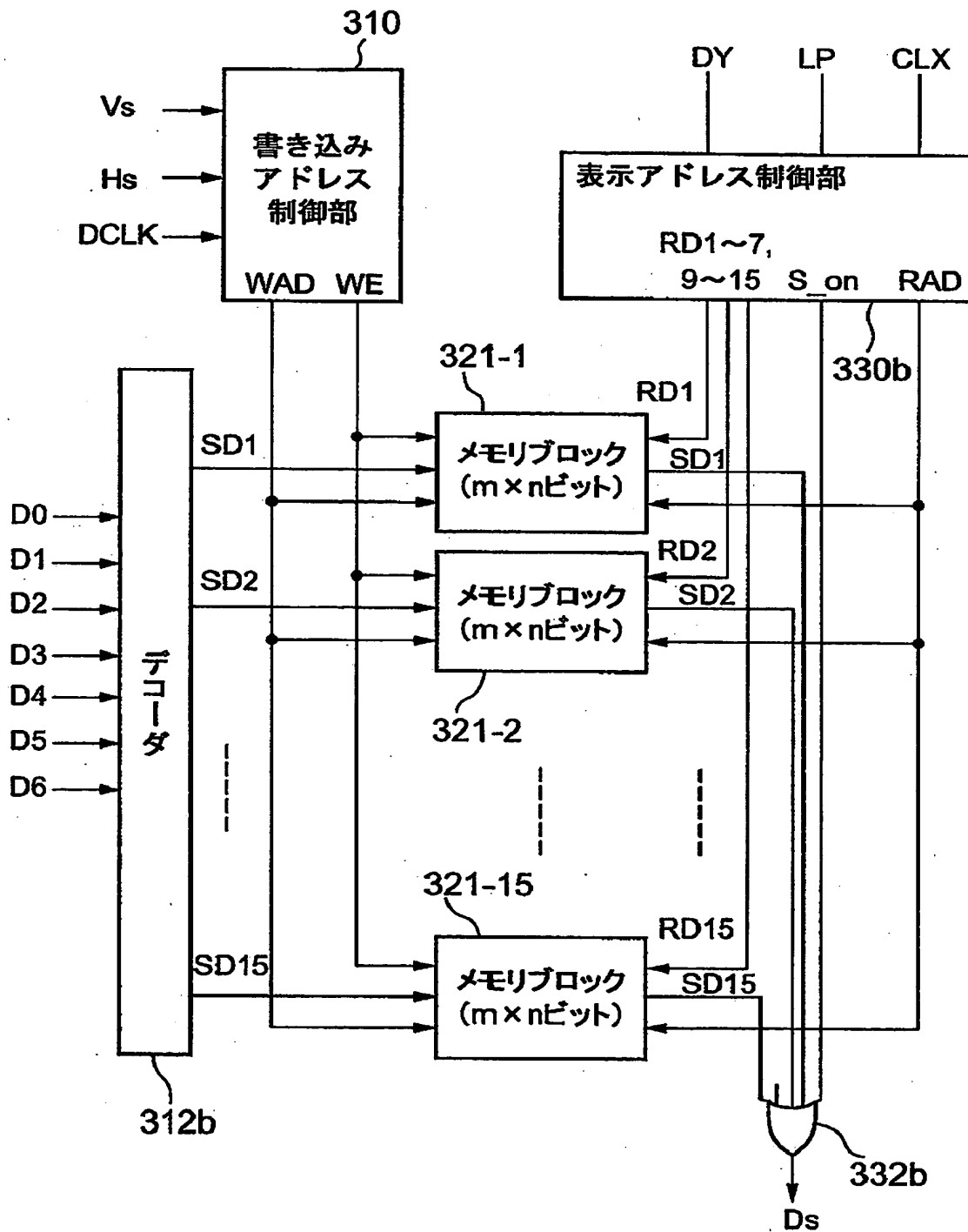
【図 19】



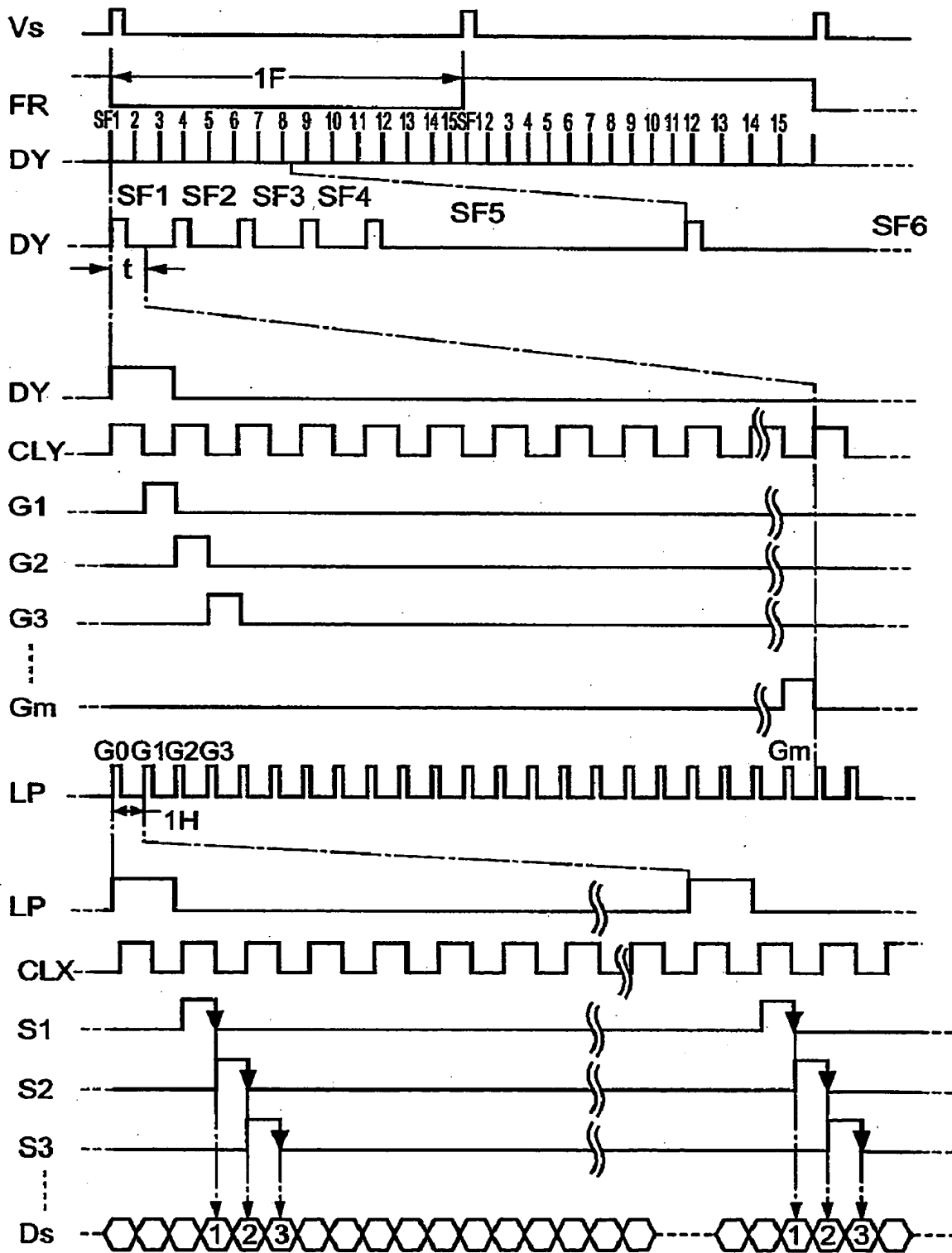
【図 20】



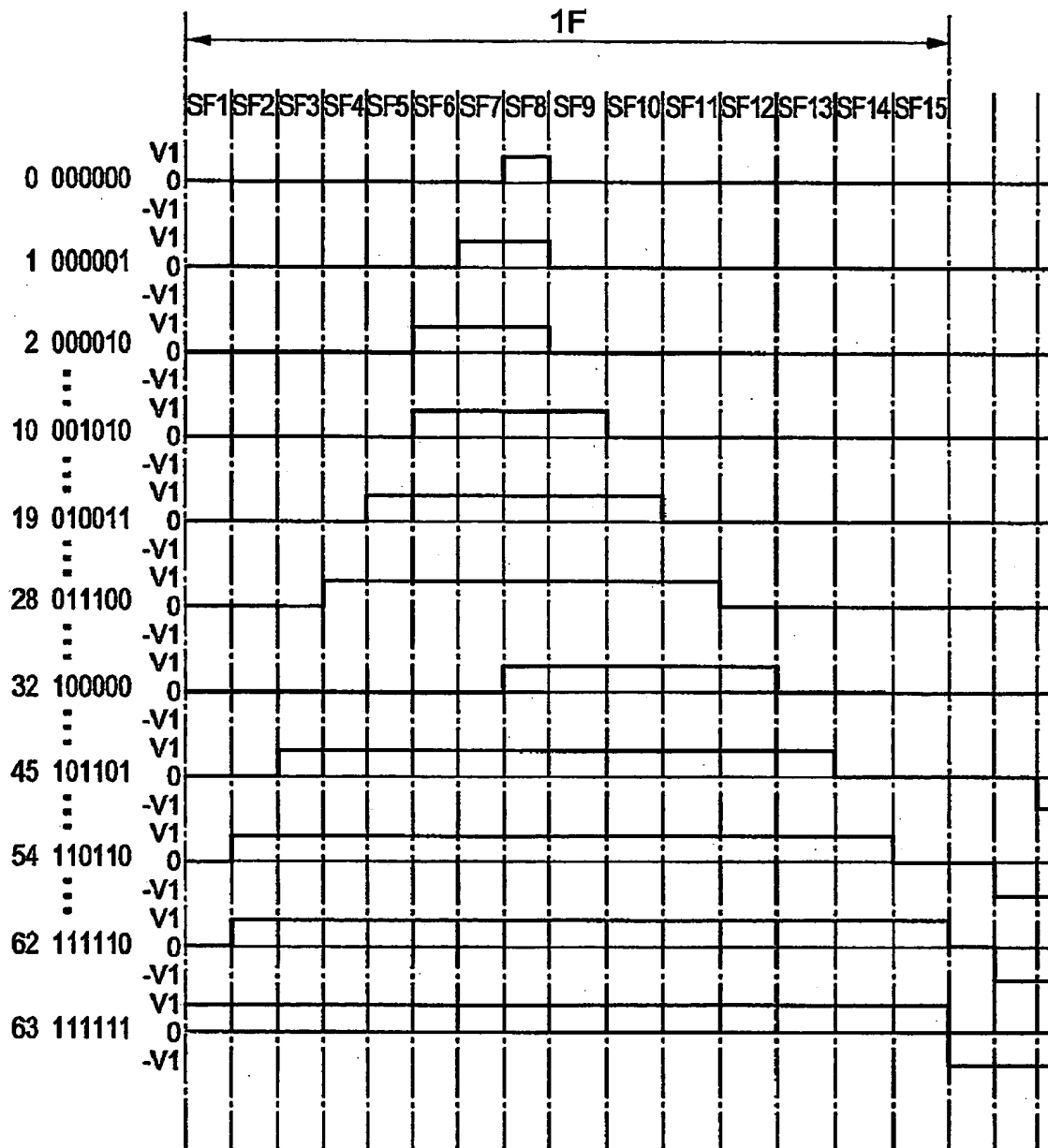
【図21】



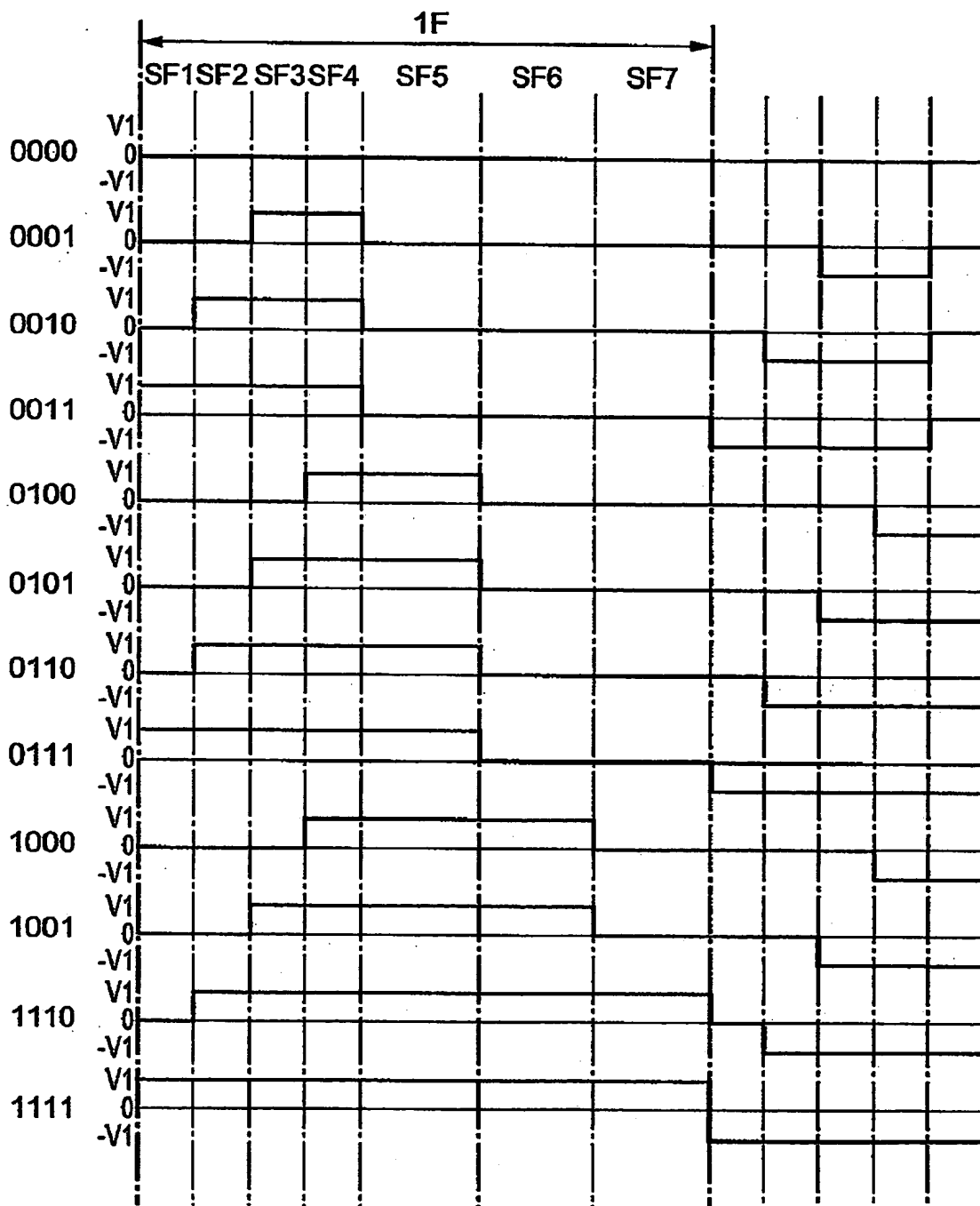
【図 22】



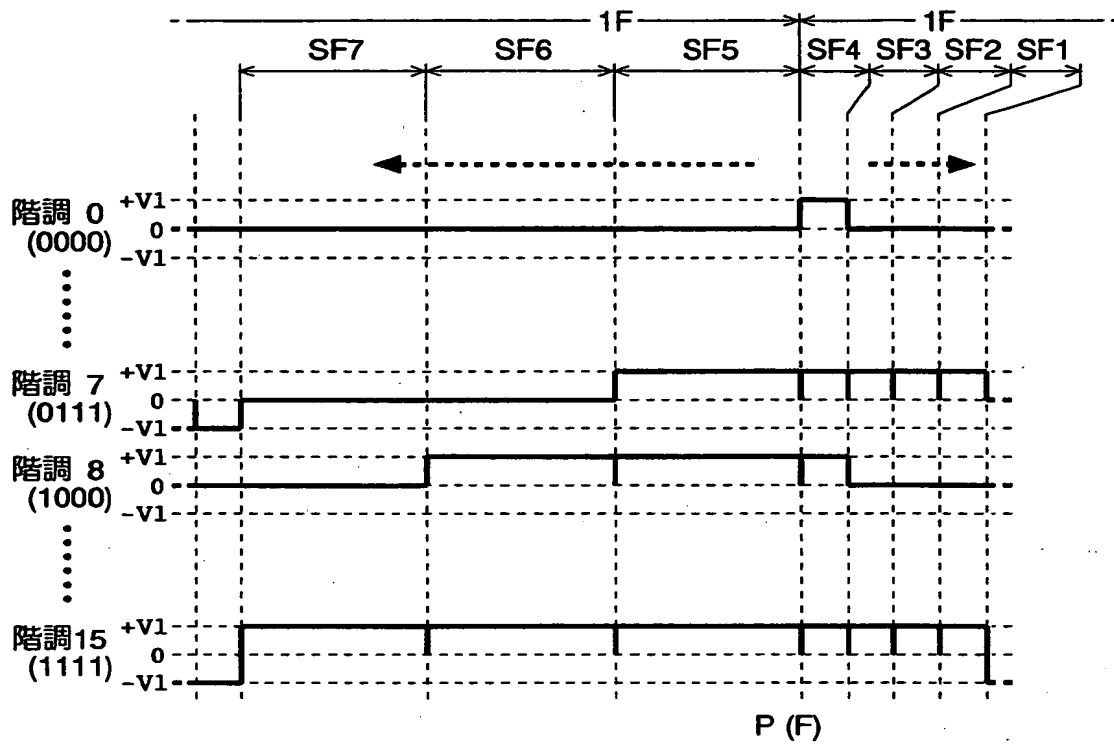
【図 23】



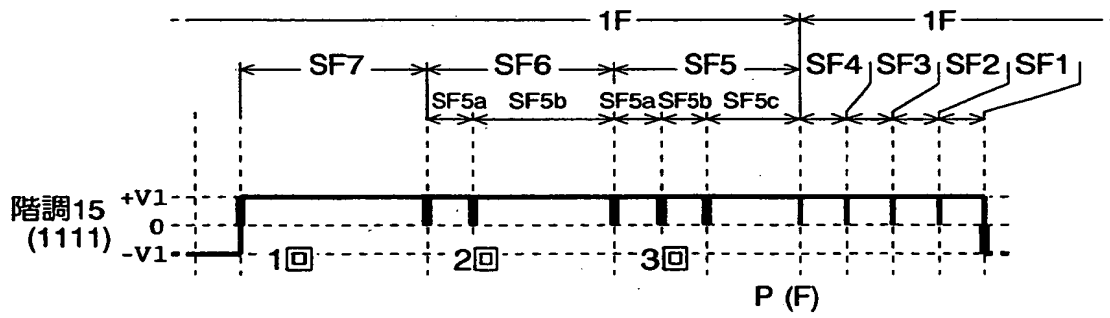
【図 24】



【図25】

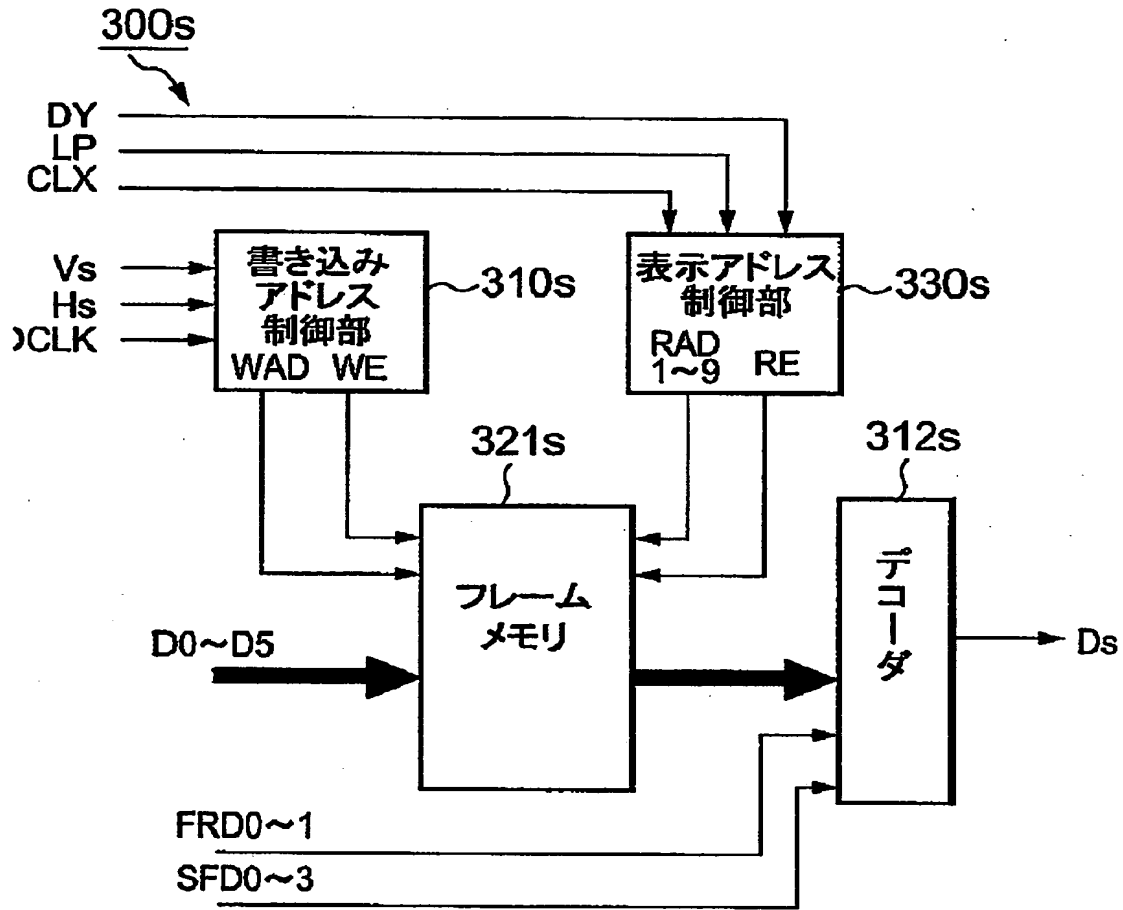


【図26】



【図 2 7】

64階調 (3FRC) のデータ変換回路ブロック図

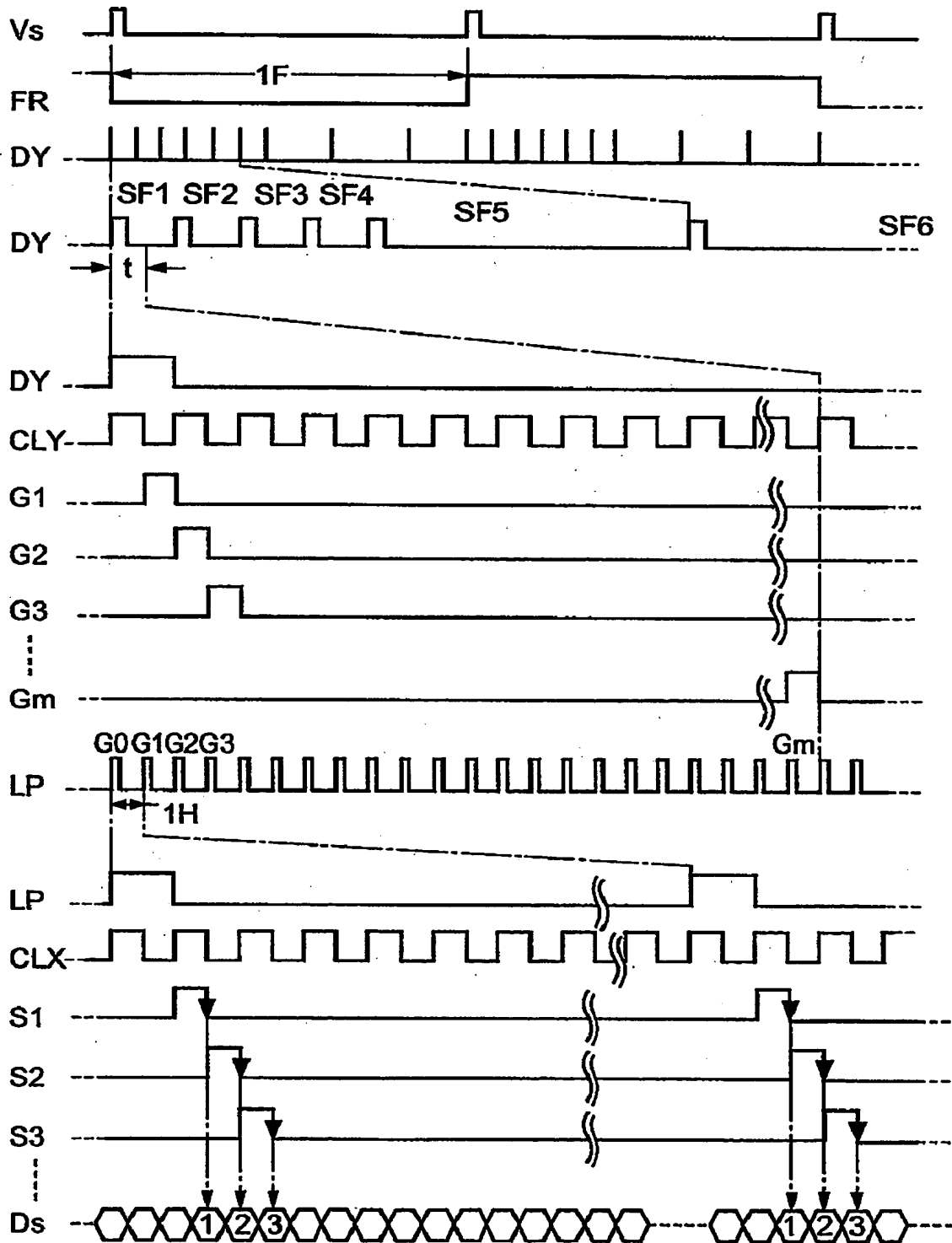


【図 28】

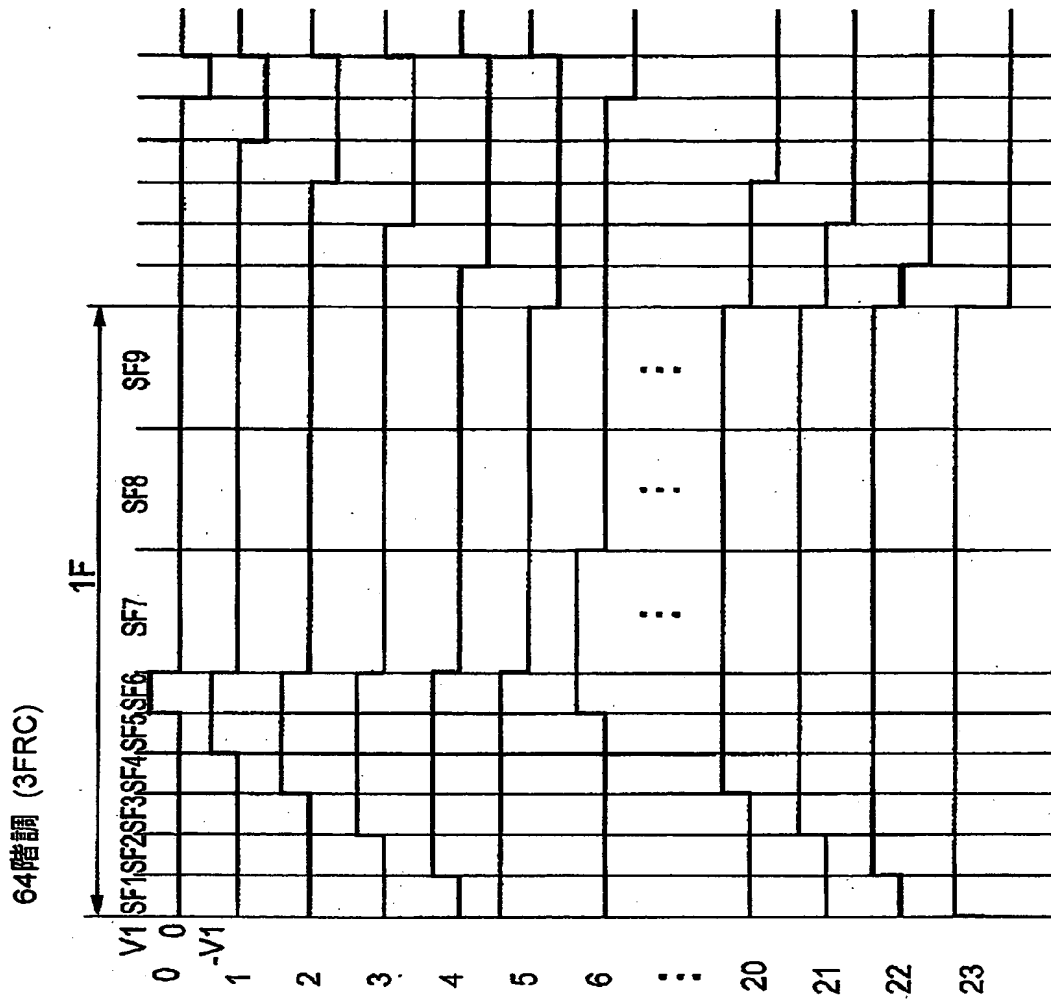
64階調 (3FRC) のデータ真理値表

階調データ	FRD	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	
000000	00	0	0	0	0	0	1	0	0	0	FR1
000000	01	0	0	0	0	0	1	0	0	0	FR2
000000	10	0	0	0	0	0	1	0	0	0	FR3
000001	00	0	0	0	0	1	1	0	0	0	FR1
000001	01	0	0	0	0	0	1	0	0	0	FR2
000001	10	0	0	0	0	0	1	0	0	0	FR3
000010	00	0	0	0	0	1	1	0	0	0	FR1
000010	01	0	0	0	0	1	1	0	0	0	FR2
000010	10	0	0	0	0	0	1	0	0	0	FR3
000011	00	0	0	0	0	1	1	0	0	0	FR1
000011	01	0	0	0	0	1	1	0	0	0	FR2
000011	10	0	0	0	0	1	1	0	0	0	FR3
000100	00	0	0	0	1	1	1	0	0	0	FR1
000100	01	0	0	0	0	1	1	0	0	0	FR2
000100	10	0	0	0	0	1	1	0	0	0	FR3
000101	00	0	0	0	1	1	1	0	0	0	FR1
000101	01	0	0	0	1	1	1	0	0	0	FR2
000101	10	0	0	0	0	1	1	0	0	0	FR3
111011	00	0	1	1	1	1	1	1	1	1	FR1
111011	01	0	1	1	1	1	1	1	1	1	FR2
111011	10	0	0	1	1	1	1	1	1	1	FR3
111100	00	0	1	1	1	1	1	1	1	1	FR1
111100	01	0	1	1	1	1	1	1	1	1	FR2
111100	10	0	1	1	1	1	1	1	1	1	FR3
111101	00	1	1	1	1	1	1	1	1	1	FR1
111101	01	0	1	1	1	1	1	1	1	1	FR2
111101	10	0	1	1	1	1	1	1	1	1	FR3
111110	00	1	1	1	1	1	1	1	1	1	FR1
111110	01	1	1	1	1	1	1	1	1	1	FR2
111110	10	0	1	1	1	1	1	1	1	1	FR3
111111	00	1	1	1	1	1	1	1	1	1	FR1
111111	01	1	1	1	1	1	1	1	1	1	FR2
111111	10	1	1	1	1	1	1	1	1	1	FR3

【図 29】



【図 30】

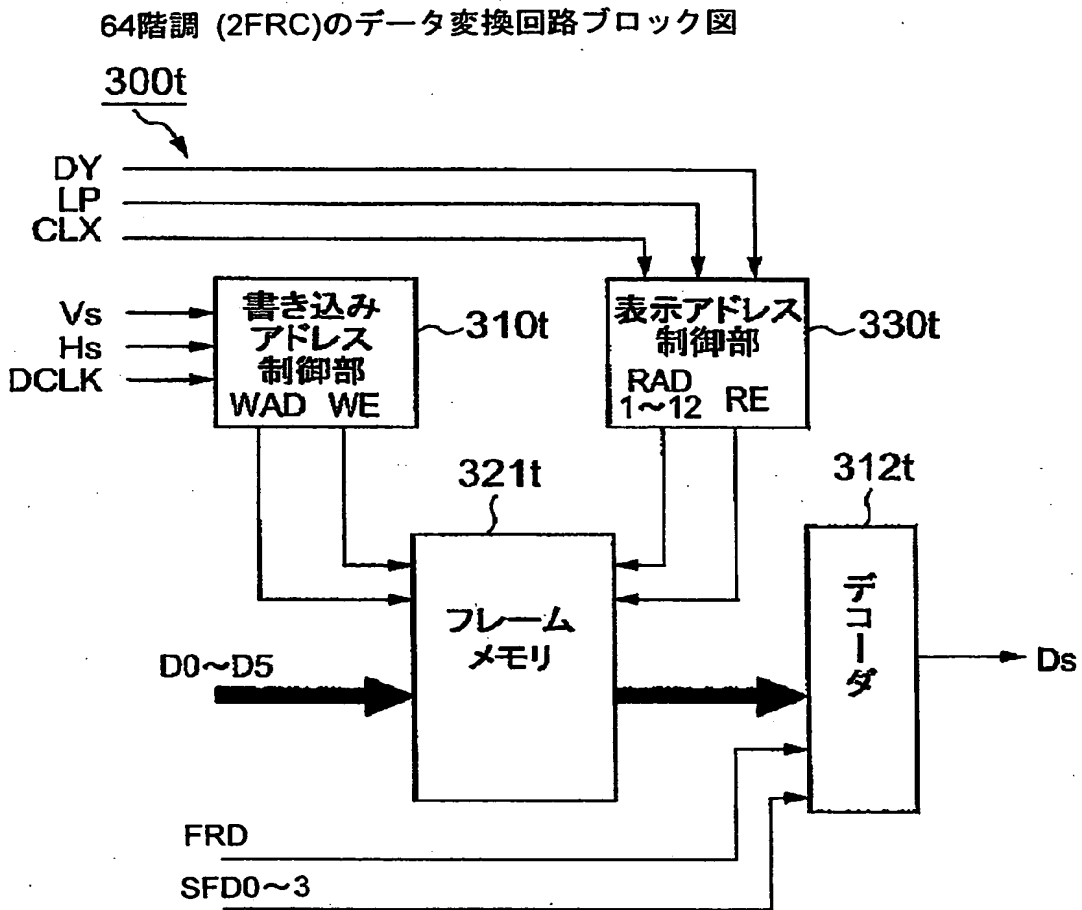


【図31】

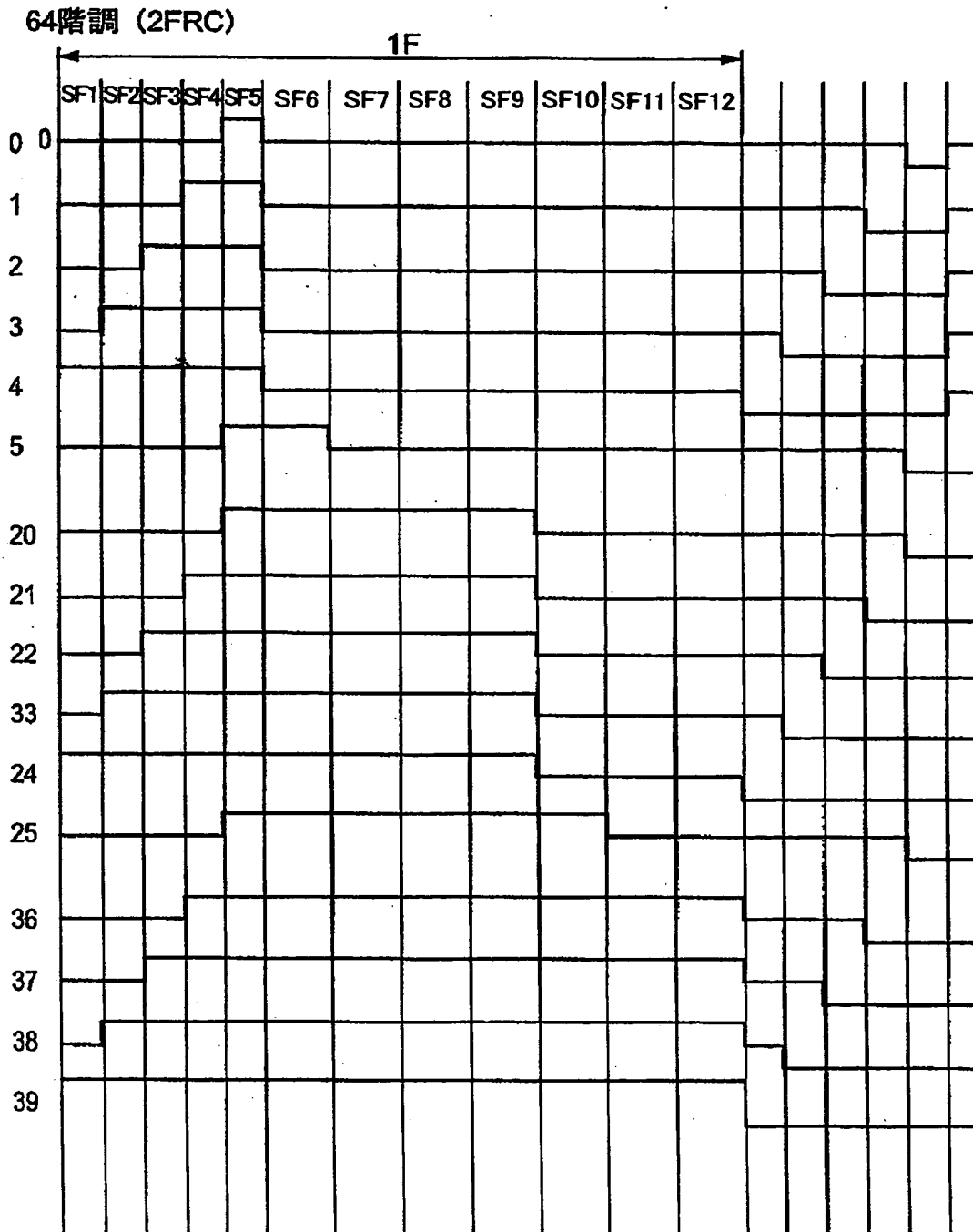
64階調(3FRC)

データ	FR1	FR2	FR3
000000	0	0	0
000001	1	0	0
000010	1	1	0
000011	1	1	1
000100	2	1	1
000101	2	2	1
000110	2	2	2
000111	3	2	2
010000	6	6	6
010001	7	6	6
010010	7	7	6
010011	7	7	7
100000	12	12	12
100001	13	12	12
100010	13	13	12
100011	13	13	13
111100	22	22	22
111101	23	22	22
111110	23	23	22
111111	23	23	23

【図 3 2】



【図 3 3】

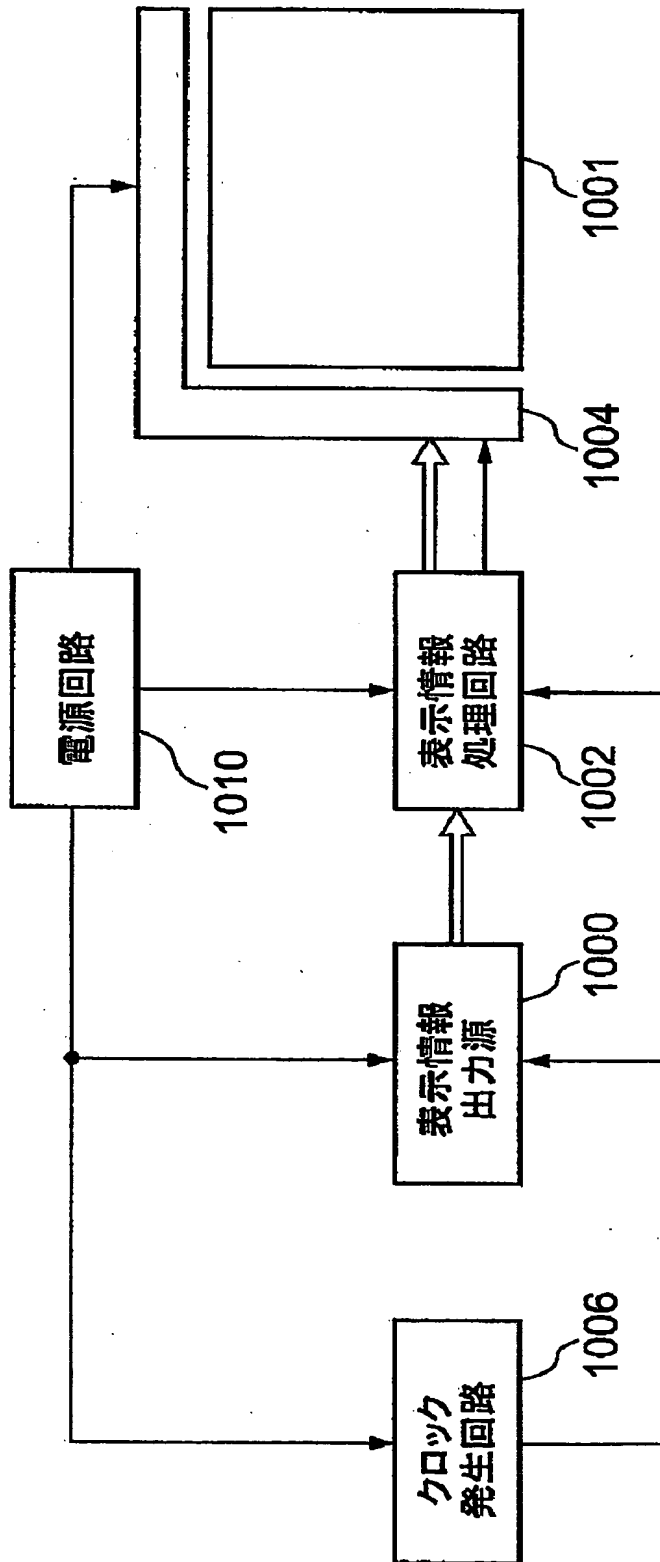


【図 34】

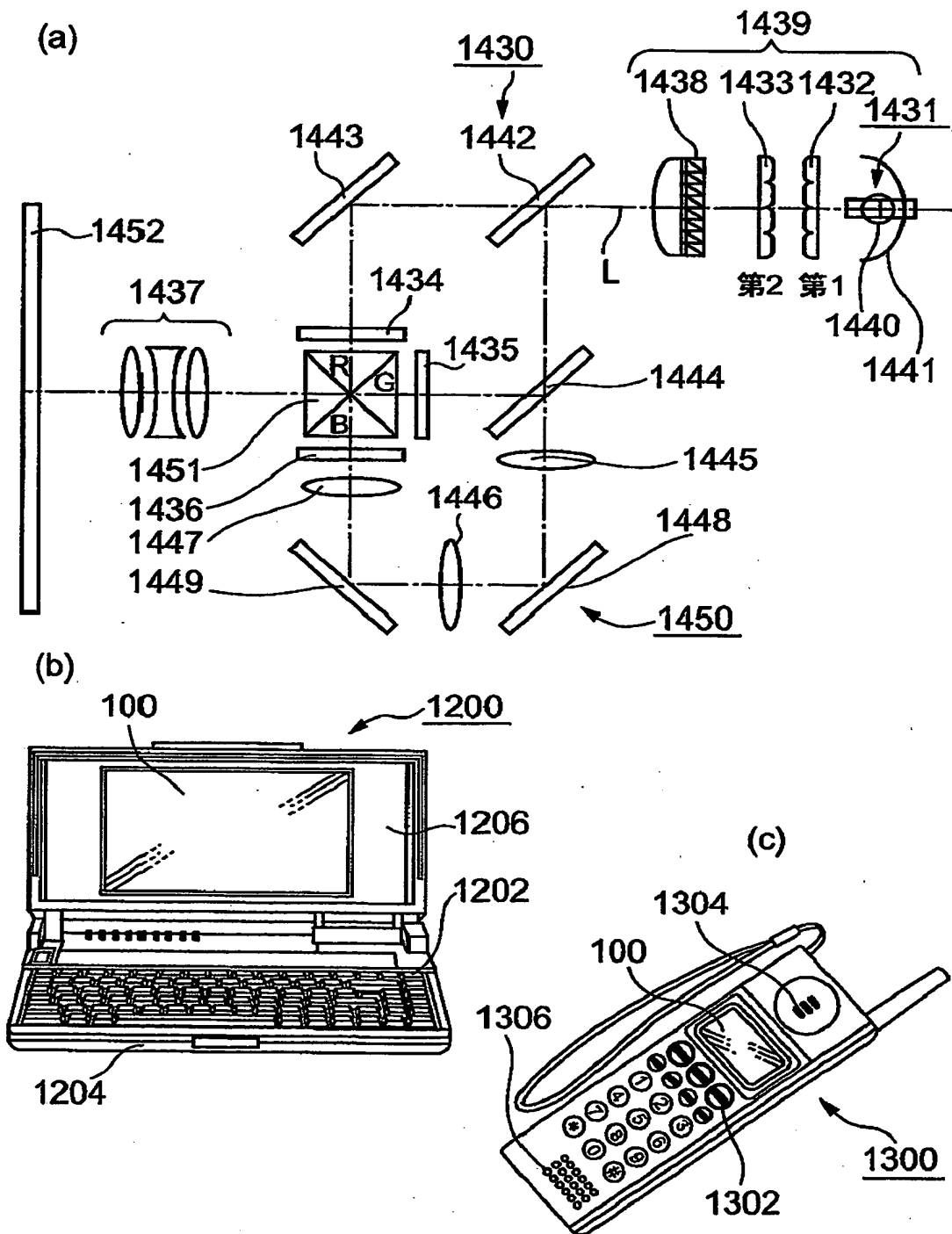
64階調 (2FRC)

データ	FR1	FR2
000000	1	0
000001	1	1
000010	2	1
000011	2	2
000100	3	2
000101	3	3
000110	4	3
000111	4	4
001000	6	5
001001	6	6
010000	11	10
010001	11	11
010010	12	11
010011	12	12
100000	21	20
100001	21	21
100010	22	21
100011	22	22
111100	38	37
111101	38	38
111110	39	38
111111	39	39

【図 35】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 選択されるサブフィールド同士的位置関係の無規則性に起因する階調の相違を回避する。

【解決手段】 本発明に係る画素の駆動方法は、相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界を基点に離れる方向に、階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記画素をオンにする駆動ステップとを含む。

【選択図】 図10

認定・付加情報

特許出願の番号	特願2002-014765
受付番号	50200085764
書類名	特許願
担当官	第二担当上席 0091
作成日	平成14年 1月28日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人	
【識別番号】	100098084
【住所又は居所】	東京都中央区日本橋一丁目2番10号 東洋ビル ディング7階 朝日特許事務所
【氏名又は名称】	川▲崎▼ 研二

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社